

(11)Publication number : 05-027710

(43)Date of publication of application : 05.02.1993

(51)Int.Cl.

G09G 3/36

G02F 1/133

G02F 1/133

(21)Application number : 03-182611

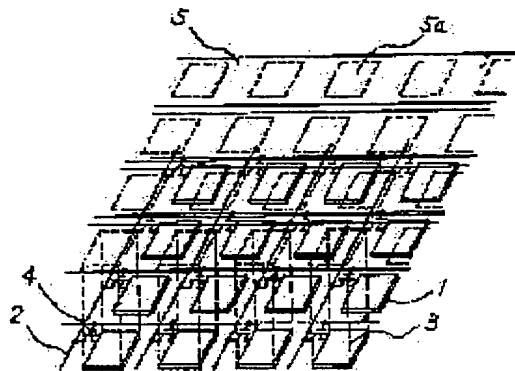
(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 23.07.1991

(72)Inventor : TOYAMA HIROSHI
SUGANO HIROMASA
HAMANO HIROSHI
TOKURA KAZUO
TAKAHASHI ATSUSHI
NAKAMURA YUKIO**(54) DRIVING METHOD FOR ACTIVE MATRIX TYPE LIQUID CRYSTAL PANEL****(57)Abstract:**

PURPOSE: To uniformize the average effective voltage of every scanning period applied on a liquid crystal layer and to lower the voltage resistance of the switching driver of a drain bus line.

CONSTITUTION: Gate bus lines 1 and drain bus lines 2 are orthogonally disposed on a rear substrate and TFTs 4 are provided at the intersected points thereof and are connected to transparent picture element electrodes 3 corresponding to discrete display cells. Transparent counter electrodes 5 divided to the same number are provided on a front substrate in parallel with the gate bus lines 1. The voltage data inverted with the voltages of a positive polarity and a negative polarity from each other are supplied to the drain bus lines 2. The voltages indicating the polarities of the voltages to be supplied to the drain bus lines 2 in synchronization with the selection period of the gate bus lines 1 corresponding to the respective counter electrodes 5 and the offset voltage corresponding to the threshold voltage V_{TH} of the liquid crystal are supplied.

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Two or more gate bus lines.

Two or more drain bus lines which intersect this gate bus line.

A switching element provided in the intersection.

A back substrate which has the picture element electrode connected to this switching element.

A liquid crystal layer arranged between a front substrate which has a counterelectrode, and said both boards.

It is a drive method of an active matrix type liquid crystal panel provided with the above, (a) dividing said counterelectrode into said gate bus line and the same number, and, Make it counter with said all picture element electrodes connected to a divided this counterelectrode and said corresponding gate bus line, and it arranges, (b) Perform weighting for said every gate bus line, and synchronize with an electrode for matched pairs at said each gate bus line at a selection cycle of each of said gate bus line, And voltage of said picture element electrode changed by polarity reversals of voltage data supplied to said drain bus line is supplied as weighting voltage data.

[Claim 2] A drive method of an active matrix type liquid crystal panel given in the 1st paragraph of a claim by which it is adding to voltage data supplied to electrode for each sets-offset voltage equivalent to threshold voltage V_{TH} of liquid crystal characterized.

[Claim 3] Two or more gate bus lines.

Two or more drain bus lines which intersect this gate bus line.

A switching element provided in the intersection.

A back substrate which has the picture element electrode connected to this switching element.

A liquid crystal layer arranged between a front substrate which has a counterelectrode, and said both boards.

It is a drive method of an active matrix type liquid crystal panel provided with the above, (a) dividing said counterelectrode into said gate bus line and the same number, and, Make it counter with said all picture element electrodes connected to a divided this counterelectrode and said corresponding gate bus line, and it arranges, (b) Voltage of straight polarity and negative polarity supplies voltage data reversed mutually to said drain bus line, (c) Supply offset voltage equivalent to threshold voltage V_{TH} of voltage and a liquid crystal which shows the polarity of voltage which synchronizes with said electrode for each sets at a selection cycle of each of said gate bus line, and is supplied to said drain bus line.

[Claim 4] Voltage of a picture element electrode changed by polarity reversals of voltage data which performs weighting for every gate bus line, and is supplied to a drain bus line, A drive method of the active matrix type liquid crystal panel according to claim 3 supplying each gate bus line as weighting voltage data at an electrode for matched pairs.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the drive method of an active matrix type liquid crystal panel.

[0002]

[Description of the Prior Art] Conventionally, although the method by which several kinds differed is used by the difference in the exchange-ized method, the drive method of an active matrix type liquid crystal panel, especially the active matrix type liquid crystal panel (it is henceforth described as TFT-LCD) using a thin film transistor, The concept of the feed voltage method is the same. Then, the drive method (it is henceforth described as a frame mode) which was indicated to "Institute of Television Engineers of Japan Vol.42, No.1, P10-16, P23-29", etc. and which performs exchange-ization for every scanning period is explained as a typical example, for example.

[0003] The lineblock diagram of TFT-LCD of the former [drawing 12] and drawing 13 are the drive timing chart. As shown in drawing 12, TFT-LCD generally carries out orthogonal arrangement of the gate bus line 11 and the drain bus line 12 on a back substrate, The thin film transistor (it is henceforth described as TFT) 14 is formed in the intersection as a switching element according to each picture element electrode, Form the transparent counterelectrode 15 on a front substrate, and the orienting film by which orientation treatment was carried out in the suitable direction for the surface of both boards is provided, the placed opposite of the orienting film of both boards being carried out via a liquid crystal layer, and it pasting together, and, According to the potential difference of the voltage of a picture element electrode and voltage V_{COM} of the counterelectrode 15 which have composition which stuck the polarization film so that a polarization axis may become in parallel or vertical mutually at the back of a front substrate and a back substrate, and are supplied via TFT14. The liquid crystal 16 of the portion pinched by two electrodes is switched. Both boards, the picture element electrode, the orienting film, and the polarization film omitted the graphic display.

[0004] As a switching means of TFT14, the scanning circuit 17 is connected to the gate bus line 11, and the data circuit 18 is connected to the drain bus line 12. And as a gate selection signal of TFT14 ON-state-voltage $V_{G(+)} G[$ and OFF-state-voltage $V_J (-)$ from the scanning circuit 17, Write-in voltage $V_{D(+)}$ and write-in voltage $V_D [$ of negative polarity] $(-)$ of straight polarity is supplied from the data circuit 18 as drain selection and the luminance data signal of TFT14.

[0005] In the voltage holding state, voltage V_S of the picture element electrode written in by TFT14 causes two voltage variations, as shown in drawing 13. When the gate selection signal of TFT14 changes from an ON state to an OFF state the 1st, voltage V_S of the picture element electrode connected to TFT14 to which a gate selection signal is supplied is changed only ΔV_1 by parasitic capacitance C_{gS} between gate sauce of TFT14. When a luminance data signal writes in the 2nd and it changes to the polarity at the time, and opposite polarity, only ΔV_2 is changed according to the electric field effect between a picture element electrode and the drain bus line 12. In order that this voltage variation may prevent DC voltage from being built over a liquid crystal, voltage V_{COM} is supplied to the counterelectrode 15 so that the potential difference between a picture element electrode and the counterelectrode 15 may become equivalent in the time of the writing of straight polarity, and the writing of negative polarity to change of voltage V_S of a picture element electrode.

[0006] Drawing 14 is an electrooptics characteristic figure of the TN liquid crystal cell at the time of making the polarization axis of said polarization film of two sheets the composition stuck so that it might become parallel. As shown in a figure, the TN liquid crystal cell made use at TFT-LCD, Threshold voltage V_{TH} which light transmittance increases rapidly, and saturation voltage

V_{SAT} whose change of light transmittance decreases exist to the potential difference of a picture element electrode and a counterelectrode, and a voltage variation shows change of light transmittance in voltage range ΔV of $V_{TH} - V_{SAT}$. In order to attain a perfect ON state, in straight polarity For this reason, $V_{SAT} < V_S - V_{COM}$. In negative polarity, it is set as the voltage conditions of $V_{SAT} < V_{COM} - V_S$. It is required to set it as the voltage conditions of $V_{TH} > V_{COM} - V_S$ in $V_{TH} > V_S - V_{COM}$ and negative polarity in straight polarity, for attaining a perfect OFF state, and, thereby, switching of a liquid crystal cell can be performed.

[0007]

[Problem(s) to be Solved by the Invention] However, in said conventional drive method, When time (t_1 of drawing 13) after a data signal is written in a picture element electrode until the voltage-poles nature of a drain bus line is reversed differs. in the 1st gate bus line chosen by the scanning circuit — $t_1 \cdot T$. If voltage V_S of the picture element electrode connected to $t_1 \cdot 0$ and each gate bus line via TFT in the last gate bus line is compared, Since the periods which carry out the voltage variation only of the ΔV_2 according to the electric field effect between a picture element electrode and a drain bus line differed, the average effective voltage for every scanning period concerning a liquid crystal layer differed, and there was a problem that the brightness unevenness by difference of light transmittance occurred.

[0008] Although it is enough for switching of a liquid crystal layer just to generate the voltage variation of ΔV between a picture element electrode and a counterelectrode, In order to fix the voltage of a counterelectrode and to fluctuate the voltage of a picture element electrode to straight polarity and negative polarity, the switching voltage of $V_{SAT} \times 2$ ($(V_{TH} + \Delta V)$ equivalent to $x2$) was required for the switching driver of a drain bus line. Therefore, the switching voltage of $\Delta V + V_{TH} \times 2$ excessive by voltage was needed, and it had become an obstacle of the reduction in pressure-proofing of a switching driver.

[0009] This invention solves said problem and an object of this invention is to provide the drive method of the active matrix type liquid crystal panel which equalizes the average effective voltage for every scanning period concerning a liquid crystal layer, and prevents the brightness unevenness by difference of light transmittance. This invention solves said problem, equalize the average effective voltage for every scanning period concerning a liquid crystal layer, and the brightness unevenness by difference of light transmittance is prevented, And it aims at providing the drive method of the active matrix type liquid crystal panel which attains low pressure-proofing-ization of the switching driver of a drain bus line.

[0010]

[Means for Solving the Problem] In order to solve said problem, this invention Two or more gate bus lines, Two or more drain bus lines which intersect a gate bus line, and a switching element provided in the intersection, In an active matrix type liquid crystal panel provided with a back substrate which has the picture element electrode connected to a switching element, a front substrate which has a counterelectrode, and a liquid crystal layer arranged among both boards, Make a counterelectrode counter with all the picture element electrodes which divided into a gate bus line and the same number, and were connected to a divided counterelectrode and a corresponding gate bus line, and it is arranged, It constituted so that voltage of a picture element electrode changed by polarity reversals of voltage data which performs weighting for every gate bus line, and synchronizes with a selection cycle of each gate bus line at an electrode for matched pairs at each gate bus line, and is supplied to a drain bus line might be supplied as weighting voltage data.

[0011] In said active matrix type liquid crystal panel this invention, Make a counterelectrode counter with all the picture element electrodes which divided into a gate bus line and the same number, and were connected to a divided counterelectrode and a corresponding gate bus line, and it is arranged, Voltage of straight polarity and negative polarity supplies voltage data reversed mutually to a drain bus line, It constituted so that offset voltage equivalent to threshold

voltage V_{TH} of voltage and a liquid crystal which shows the polarity of voltage which synchronizes with a selection cycle of a gate bus line corresponding to an electrode for each sets, and is supplied to a drain bus line might be supplied.

[0012]

[Function]The drive method of the active matrix type liquid crystal panel consisted of this inventions as mentioned above.

Therefore, the voltage of the picture element electrode changed by the polarity reversals of the voltage data which synchronizes with the selection cycle of a gate bus line and the gate bus line corresponding to the counterelectrode divided into the same number, and is supplied to a drain bus line is supplied as weighting voltage data.

[0013]According to this invention, the voltage data in which the voltage of straight polarity and negative polarity was reversed mutually is supplied to a drain bus line, The offset voltage equivalent to threshold voltage V_{TH} of voltage and a liquid crystal which shows the polarity of the voltage which synchronizes with the selection cycle of a gate bus line and the gate bus line corresponding to the counterelectrode divided into the same number, and is supplied to a drain bus line is supplied.

[0014]

[Example]Hereafter, it explains in detail, referring to drawings for the example of this invention. (The 1st example) Drawing 1 is an outline perspective view of TFT-LCD in the 1st example of this invention. TFT-LCD in this example made the gate bus line 1 and the drain bus line 2 intersect perpendicularly on a transparent back substrate, has been arranged, provided TFT4 in the intersection, and it connected with the transparent picture element electrode 3 corresponding to an individual display cell, and it provided the orienting film by which orientation treatment was carried out in the still more suitable direction. On the transparent front substrate, it was parallel to the gate bus line 1, and the transparent counterelectrode 5 divided into the same number was formed, and the orienting film by which orientation treatment was carried out in the suitable direction was provided. And alignment of the orienting films of both substrates is carried out so that it may counter only with all the picture element electrodes 3 connected to the gate bus line 1 to which facing each other and the electrode 5 for each sets correspond via TFT4, The gap suitable among both boards was provided, the liquid crystal was poured in, and the polarization film was stuck so that a mutual polarization axis might become in parallel or vertical at the both boards exposure-side. Both boards, the orienting film, the liquid crystal, and the polarization film omitted the graphic display.

[0015]Drawing 2 is a schematic block diagram of TFT-LCD in the 1st example of this invention. TFT-LCD in this example connects the scanning circuit 7 to the gate bus line 1, ON-state-voltage $V_{G(+)}$ is supplied once to every t_{ON} time [every] cycle T by the scanning circuit 7 in an order from the 1st gate bus line 1-1, and OFF-state-voltage $V_{G(-)}$ is supplied to each gate bus line 1 at time other than t_{ON} . And the data circuit 8 is connected to the drain bus line 2, and the voltage data written in the liquid crystal 6 is supplied to the drain bus line 2 as ON-state-voltage $V_{D(+)}$ and ON-state-voltage $V_{D[-]}$ [of negative polarity] (-) of straight polarity. The above composition is the same as that of the conventional example shown in drawing 12 and drawing 13. The common change circuit 9 is connected to the counterelectrode 5 in this example, Voltage data V_{COM1} which changes with common change circuits 9 synchronizing with impression of ON-state-voltage $V_{G(+)}$ of the gate bus line 1 corresponding to each gate bus line 1 including the weighting information corresponding to each gate bus line 1 - V_{COMf} are supplied.

[0016]The schematic block diagram of a common change circuit [in / in drawing 3 / the 1st example of this invention] and drawing 4 are the timing chart of operation. The common change circuit 9 comprises the shift register section 9a, and the weighting part 9b and the driver part 9c which consist of an operational amplifier and resistance. DF which the shift register section 9a changes just before ON-state-voltage $V_{G(+)}$ impression of the 1st gate bus line 1-1, and has

positive and negative polarity data, Clock signal ϕ_C which synchronizes with the standup of ON-state-voltage impression of each gate bus line, and has a cycle of t_{ON} time is supplied, and the output wave which was at a time in one clock, D_1 , D_2 —, and D_f are outputted. the ratio of resistance R_{1n} by which input voltage V_{in} is connected to this as for the operational amplifier of the weighting part 9b to R_{2n} — reversal amplification being carried out by R_{2n}/R_{1n} and, $\times (R_{2n}/R_{1n}) V_{in}$ is outputted via protective resistance R_{3n} . Namely, according to the weighting conditions of the 1st gate bus line 1-1 R_{21}/R_{11} , According to the weighting conditions of the 2nd gate bus line 1-2, R_{22}/R_{12} , R_{2f}/R_{1f} is set up according to the weighting conditions of last gate bus line 1-f, Each output wave D_1 of the shift register 9a which has an equivalent voltage swing, D_2 —, and by supplying D_f to the weighting part 9b, Voltage signal V_{OUT1} which has a voltage swing and polarity data predetermined [according to the weighting conditions of each gate bus line] - V_{OUTf} are constituted, passing the driver part 9c for this — V_{COM1} — the 1st gate bus line 1-1 — the electrode for matched pairs — the electrode for matched pairs is supplied at the 2nd gate bus line 1-2, and V_{COMf} is supplied for V_{COM2} to the electrode for matched pairs at last gate bus line 1-f, respectively.

[0017]Weighting to the electrode 5 for each sets here the thing which has short time ($T-t_1$ of drawing 13) to change only ΔV_2 according to the electric field effect between the picture element electrode 3 and the drain bus line 2, It set up so that change of voltage data might become small, and change of the average impressed electromotive force between the picture element electrode 3 of the electric charge maintenance period ($T-t_{ON}$) of a liquid crystal and the counterelectrode 5 by change of ΔV_2 is prevented.

[0018]Drawing 5 is a timing chart of the drive method of TFT-LCD concerning the 1st example of this invention. In the driving waveform of the 1st gate bus line 1-1 shown in drawing 5 (1), Since the period when ΔV_2 occurs does not exist ($T-t_1=0$ of drawing 8), Only change of ΔV_1 generated with the parasitic capacitance of TFT as shown in drawing 4 is taken into consideration, Resistance R_{11} and R_{21} of the weighting part 9b of the common change circuit 9 are set up so that it may be set to $V_{in} \times (R_{21}/R_{11}) = 0$, V_{COM1} of the fixed voltage set as $(V_{D(+)} D [+V] (-)) / 2 - \Delta V_1$ from the driver part 9c is outputted. Thereby, average impressed electromotive force $(V_{D(+)} - V_{D(-)}) / 2$ are held between picture element electrode voltage V_{S1} of the 1st gate bus line 1-1, without losing the voltage data of the drain bus line 2.

[0019]In the driving waveform of last gate bus line 1-f shown in drawing 5 (3), Since period ΔV_2 of Tx ($(N-1)/N$) will occur if the number of scan lines is made into $T=N \times t_{ON}$ by N, In consideration of change of ΔV_1 and ΔV_2 , resistance R_{1f} and R_{2f} of the weighting part 9b are set up so that it may be set to $V_{in} \times (R_{2f}/R_{1f}) = \Delta V_2 \times 2$, From the driver part 9c, at the time of straight polarity $(V_{D(+)} + V_{D(-)})$ to $/2 - \Delta V_1 - \Delta V_2$, V_{COMf} which has change of $\Delta V_2 \times 2$ set as $/2 - \Delta V_1 + \Delta V_2$ at the time of negative polarity $(V_{D(+)} - V_{D(-)})$ is outputted. This holds average impressed electromotive force $(V_{D(+)} - V_{D(-)}) / 2$ between picture element electrode voltage V_{Sf} of last gate bus line 1-f.

[0020]And in the driving waveform of the n-th gate bus line shown in drawing 5 (2), Since period ΔV_2 of Tx ($(n-1)/N$) occurs, change of ΔV_1 and ΔV_2 is taken into consideration, Resistance R_{1n} and R_{2n} of the weighting part 9b are set up so that it may be set to $V_{in} \times (R_{2n}/R_{1n}) = (n-1)/(N-1) \times \Delta V_2 \times 2$, From the driver part 9c, at the time of straight polarity $(V_{D(+)} + V_{D(-)})$ to $/2 - [\Delta V_1 \times (N-n) + (\Delta V_1 + \Delta V_2) \times (n-1)] / [N-1]$, V_{COMn} which has change of $/2 - [\Delta V_1 \times (N-n) + (\Delta V_1 - \Delta V_2) \times (n-1)] [(n-1) \times \Delta V_2 \times 2] / [N-1]$ set as $/ [N-1]$ at the time of

negative polarity ($V_{D(+)} + V_{D(-)}$) is outputted. This holds average impressed electromotive force ($(V_{D(+)} - V_{D(-)}) / 2$ between picture element electrode voltage V_{Sn} of the n-th gate bus line.

[0021] Thus, in this example, the average impressed electromotive force held at the liquid crystal cell of the ON state in all the gate bus lines becomes fixed, and a difference of the light transmittance of a liquid crystal cell is lost.

(The 2nd example) Drawing 6 is a timing chart of the common change circuit in the 2nd example of this invention of operation, and a timing chart of the drive method of TFT-LCD which requires drawing 7 for the 2nd example of this invention. The composition of TFT-LCD in this example is the same as that of the 1st example. The common change circuit 9 should just make the resistance of a weighting part a different value from the 1st example.

[0022] In said 1st example, the voltage data of ON-state-voltage $V_{D(+)}$ and $V_{D(-)}$ outputted by the data circuit, Offset voltage V_{TH} shown in drawing 14 like the conventional voltage data is contained, and since the loss voltage of $V_{TH} \times 2$ is contained in the voltage swing, as for voltage swing $V_{G(+)} - G[V_{(-)}$ outputted by the scanning circuit, the loss voltage of $V_{TH} \times 2$ is added.

[0023] However, in this example, as shown in drawing 6 and drawing 7, the ratio of 1 set of resistance R_{1n} connected to the arbitrary gate bus lines provided in the weighting part 9b of the common change circuit 9 of drawing 3 to $R_{2n} - R_{2n}/R_{1n}$ being set as the conditions in consideration of weighting information and offset voltage information, and, Since offset voltage V_{TH} is added to straight polarity and negative polarity by the common change circuit 9 connected to the counterelectrode 5, the voltage swing of ON-state-voltage $V_{G(+)}$ ' of the scanning circuit 7, and OFF-state-voltage $V_{G(-)}$ ' connected to the gate bus line 1 — $V_{G[(+)]}$ ' — $V_{G(-)}$ ' = $V - V_{G(+)} - V_{G(-)} - V_{TH} \times 2$. The voltage swing of ON-state-voltage $V_{D(+)}$ ' of the straight polarity of the data circuit 8 and ON-state-voltage $V_{D(-)}$ ' of negative polarity connected to the drain bus line 2 can be decreased to $V_{D(+)} - V_{D(-)} = V_{D(+)} - V_{D(-)} - V_{TH} \times 2$.

[0024] And since the voltage swing of the gate bus line 1 decreased in this way, Since ΔV_1 decreased to $\Delta V_1'$ in proportion to reduction of the voltage swing and the voltage swing of the drain bus line 2 decreased, in proportion to reduction of the amplitude, ΔV_2 decreases to $\Delta V_2'$, respectively. In the driving waveform of the 1st gate bus line 1-1 shown in drawing 7 (1), Since there is no period when $\Delta V_2'$ produced according to the electric field effect between the picture element electrode 3 and the drain bus line 2 occurs, In consideration of $\Delta V_1'$ and V_{TH} , weighting part 9b resistance R_{11} and R_{21} of the common change circuit 9 are set up so that it may be set to $x(R_{21}/R_{11}) V_{in} = V_{TH} \times 2$, From the driver part 9c, at the time of straight polarity ($V_{D(+)} + V_{D(-)}$) to $/2 - \Delta V_1' - V_{TH}$ V_{COM1} ' which has change of $V_{TH} \times 2$ set as $/2 - \Delta V_1' + V_{TH}$ at the time of negative polarity ($V_{D(+)} + V_{D(-)}$) is outputted. This holds average impressed electromotive force ($(V_{D(+)} - V_{D(-)}) / 2$ between picture element electrode voltage V_{S1} ' of the 1st gate bus line 1-1.

[0025] In the driving waveform of last gate bus line 1-f shown in drawing 7 (3), Since period $\Delta V_2'$ of Tx (N-1/N) occurs, $\Delta V_1'$, $\Delta V_2'$, and V_{TH} are taken into consideration, Resistance R_{1f} and R_{2f} of the weighting part 9b are set up so that it may be set to $x(R_{2f}/R_{1f}) V_{in} = (\Delta V_2' + V_{TH}) \times 2$, From the driver part 9c, at the time of straight polarity ($V_{D(+)} + V_{D(-)}$) to $/2 - \Delta V_1' + \Delta V_2' - V_{TH}$ V_{COMf} ' which has change of $x(\Delta V_2' + V_{TH}) \times 2$ set as $/2 - \Delta V_1' + \Delta V_2' + V_{TH}$ at the time of negative polarity ($V_{D(+)} + V_{D(-)}$) is outputted. This holds average impressed electromotive force ($(V_{D(+)} - V_{D(-)}) / 2$ between picture element electrode voltage V_{Sf} ' of last gate bus line 1-f.

[0026] And in the driving waveform of the n -th gate bus line shown in drawing 7 (2), Since period $\Delta V_2'$ of Tx $(n-1/N)$ occurs, Resistance R_{1n} and R_{2n} of the weighting part 9b are set up so that it may be set to $x(R_{2n}/R_{1n}) V_{in} = [(n-1/N-1) \times \Delta V_2 + V_{TH}] \times 2$, From the driver part 9c, at the time of straight polarity ($V_{D(+)}' + V_{D(-)}'$) to $/2 - [\Delta V_1' \times (N-n) + (\Delta V_1' + \Delta V_2') \times (n-1)] / [N-1] - V_{TH}$. At the time of negative polarity. Change of $[(n-1)/(N-1) \times \Delta V_2 + V_{TH}] \times 2$ set as $(V_{D(+)}' + V_{D(-)}') / 2 - [\Delta V_1' \times (N-n) + (\Delta V_1' - \Delta V_2') \times (n-1)] / [N-1] - V_{TH}$. V_{COMn}' which it has is supplied. This holds average impressed electromotive force $(V_{D(+)} - V_{D(-)}) / 2$ between picture element electrode voltage V_{Sn}' of the n -th gate bus line.

[0027] Thus, since the average impression electrode held at the liquid crystal cell of the ON state in all the gate bus lines becomes fixed in this example, Only $V_{TH} \times 2$ can make small amplitude of the ON state voltage of the straight polarity which a difference of the light transmittance of a liquid crystal cell is lost, and is outputted by the data circuit, and negative polarity, and amplitude of the ON state voltage outputted by the scanning circuit.

(The 3rd example) Drawing 8 is a timing chart of a common change circuit [in / the schematic block diagram of the data circuit in the 3rd example of this invention and drawing 9 can be set to the output voltage waveform figure, and / in drawing 10 / the 3rd example of this invention] of operation. The composition of TFT-LCD in this example is the same as that of the 1st example. The common change circuit should just make the resistance of a weighting part a different value from the 1st example.

[0028] In this example, as shown in drawing 8, the data circuit 8 connected to the drain bus line 2 comprises the data generating part 8a, the data inversion part 8b, and the data output part 8c. And the polar AC converted signal to reverse is calculated by the data inversion part 8b to [which are outputted from the data generating part 8a / every 1st image data and time T], The 2nd image data that polarity reverses to every time T is constituted, and it supplies as information by which the voltage data of straight polarity and negative polarity was mutually reversed from the data output part 8c to the drain bus line 2. In this case, the voltage data of each drain bus line outputted from the data circuit 8, As shown in drawing 9, in straight polarity ON-state-voltage $V_{D(+)}^{2'}$, OFF-state-voltage $V_{D(-)}^{2'}$ is ON-state-voltage $V_{D(-)}$ in negative polarity. $V_{D(-)}^{2'}$, OFF-state-voltage $V_{D(+)}^{2'}$ is outputted and it is $V_{D(+)}^{2'} - V_{D(-)}$ It is set as $(-)^{2'} = V_{SAT} - V_{TH} = \Delta V$ and the amplitude of drain voltage becomes small only for $V_{TH} \times 2 + \Delta V$ minutes as compared with the conventional example of drawing 13.

[0029] On the other hand, the voltage data of the electrode for each sets outputted from the common change circuit 9 is constituted as follows. Change just before ON-state-voltage impression of the 1st gate bus line 1-1, and And positive, Clock signal ϕ_C which synchronizes with signal DF which has negative polarity data at the time of the standup of ON-state-voltage impression of the gate bus line 1, and has a cycle of t_{ON} time is supplied to the shift register section 9a, Output wave D_1 which was at a time in one clock, D_2 —, and D_f are created, The voltage signal which a part for weighting conditions (it mentions later for details) and offset voltage and the polar conditions of each gate bus line are received by the weighting part 9b, and also carries this, and has a predetermined voltage swing according to a part is created.

[0030] For example, in the 1st gate bus line 1-1, the ratio of resistance R_{21} connected to resistance R_{11} , - input, and the output which are connected to - input of an operational amplifier -- R_{21}/R_{11} via R_{11} to - input of an operational amplifier. the ratio of voltage swing V_{in} inputted to output-voltage-amplitude V_{out1} of an operational amplifier, since it becomes equal to V_{out1}/V_{in1} , $V_{out1} = (R_{21}/R_{11}) \times V_{in}$ is materialized, Voltage amplification rate R_{21}/R_{11} doubled with the conditions of the 1st gate bus line is selected, In the 2nd gate bus line, voltage amplification rate R_{2f}/R_{1f} is similarly selected for voltage amplification rate R_{22}/R_{12} in the last gate bus line

according to the condition, and $V_{TH} \times 2 + \Delta V$ weighting voltage is included in the voltage swing. Since the output of an operational amplifier serves as reversal amplification, it sets up DF waveform inputted into the shift register 9a from the data circuit 8 in consideration of the state of the voltage data outputted to the drain bus line 2. And protective resistance R_{31} , R_{32} — $V_{COM1}^{2'}$ to the 1st gate bus line 1-1 via R_{3f} and the driver part 9c to the electrode for matched pairs. The electrode for matched pairs is supplied at the 2nd gate bus line 1-2, and $V_{COMf}^{2'}$ is supplied for $V_{COM2}^{2'}$ to the electrode for matched pairs at last gate bus line 1-f, respectively. For this reason, ΔV_2 shown by the conventional example of drawing 13 decreases to $\Delta V_2^{2'} = [\Delta V / (V_{TH} \times 2 + \Delta V \times 2)] \times \Delta V_2$. Since amplitude of the impressed electromotive force supplied to the gate bus line 1 can also be made small, ΔV_1 decreases to $\Delta V_1^{2'}$ like the 2nd example.

[0031] According to the electric field effect between a picture element electrode and a drain bus line, $\Delta V_2^{2'}$ sets up weighting to a counterelectrode here as a short thing so that change of voltage data may become small. Change of the average impressed electromotive force between the picture element electrode of the electric charge maintenance period ($T - t_{ON}$) of a liquid crystal and counterelectrode by change of $\Delta V_2^{2'}$ is prevented. Drawing 11 is a timing chart of the drive method of TFT-LCD concerning the 3rd example of this invention.

[0032] In the driving waveform of the 1st gate bus line 1-1 shown in drawing 11 (1), ON-state-voltage V_G impressed to the gate bus line 1 immediately after the polarity of the voltage data outputted from the drain bus line 2 changes. In order that there may be no period when $(+)^{2'}$ is supplied in and $\Delta V_2^{2'}$ occurs, Change and polarity of $\Delta V_1^{2'}$, and offset voltage V_{TH} which are generated with the parasitic capacitance of TFT are taken into consideration. It is time V_D [straight polarity] from a common change circuit to the electrode for matched pairs. To $(+)^{2'} - \Delta V_1^{2'} - \Delta V - V_{TH}$. Time V_D [negative polarity] $V_{COM1}^{2'}$ which has the change amplitude of $\Delta V + V_{TH} \times 2$ set as $(-)^{2'} - \Delta V_1^{2'} - \Delta V - V_{TH}$ is outputted. This holds average impressed-electromotive-force $\Delta V + V_{TH}$ between picture element electrode voltage $V_{S1}^{2'}$ of the 1st gate bus line.

[0033] In the driving waveform of the last gate bus line shown in drawing 11 (3), Just before the polarity of the voltage data outputted from the drain bus line 2 changes, $V_{G(+)}^{2'}$ is supplied to the gate bus line 1. Since period $\Delta V_2^{2'}$ of Tx ($(N-1)/N$) will occur if the number of scan lines is made into $T = N \times t_{ON}$ by N, $\Delta V_1^{2'}$, $\Delta V_2^{2'}$, polarity, and V_{TH} are taken into consideration. It is V_D to the electrode for matched pairs at the time of straight polarity. To $(+)^{2'} - \Delta V_1^{2'} - \Delta V_2^{2'} - \Delta V - V_{TH}$. the time of negative polarity — $V_D (+)$ — $V_{COMf}^{2'}$ which has the change amplitude of $(-)^{2'} - \Delta V_1^{2'} - \Delta V - V_{TH}$ — set-up $\Delta V + V_{TH} \times 2 + \Delta V_2^{2'} \times 2$ is outputted. This holds average impressed-electromotive-force $\Delta V + V_{TH}$ between picture element electrode voltage $V_{sf}^{2'}$ of the last gate bus line.

[0034] And in the driving waveform of the n-th gate bus line shown in drawing 11 (2), Since period $\Delta V_2^{2'}$ of Tx ($(n-1)/N$) occurs, $\Delta V_1^{2'}$, $\Delta V_2^{2'}$, polarity, and V_{TH} are taken into consideration. It is time V_D [straight polarity] to the electrode for matched pairs. To $(+)^{2'} - [\Delta V_1^{2'} \times (N-n) + (\Delta V_1^{2'} + \Delta V_2^{2'}) \times (n-1)/N - 1] - \Delta V - V_{TH}$. Time V_D [negative polarity] $(-)^{2'}$ — the change

amplitude of $\Delta V + \{V_{TH} + \Delta V_2 \times (n-1) / (N-1)\} \times 2$ set as $2 - [\Delta V_1^2 \times (N-n) + (\Delta V_1^2 + \Delta V_2^2) \times (n-1) / (N-1)] + \Delta V + V_{TH} \cdot V_{COMn}^2$, which it has is outputted. Thereby, average impressed-electromotive-force $\Delta V + V_{TH}$ is held between picture element electrode voltage V_{sn}^2 of the n -th gate bus line.

[0035] Thus, in this example, the average impressed electromotive force held at the liquid crystal cell of the ON state in all the gate bus lines becomes fixed, The amplitude of the voltage data which a difference of the light transmittance of a liquid crystal cell is lost, and is outputted by the data circuit can supply sufficient impressed electromotive force for a liquid crystal cell, even if only $V_{TH} \times 2 + \Delta V$ becomes small. This invention is not limited to the above-mentioned example, and based on the meaning of this invention, various modification is possible for it and it does not eliminate them from the range of this invention.

[0036]

[Effect of the Invention] As mentioned above, as explained in detail, a counterelectrode is divided into a gate bus line and the same number in this invention, And make it counter with the picture element electrode connected to the divided counterelectrode and the corresponding gate bus line, and it arranges, The voltage of the picture element electrode changed by the polarity reversals of the voltage data which performs weighting for every gate bus line, and synchronizes with the selection cycle of each gate bus line at the electrode for matched pairs at each gate bus line, and is supplied to a drain bus line is supplied as weighting voltage data.

Therefore, low withstand voltage-ization of the switching driver of equalization and the drain bus line of the average effective voltage of a liquid crystal cell, and a gate bus line can be attained.

[0037] a counterelectrode being divided into a gate bus line and the same number, and in this invention, Make it counter with the picture element electrode connected to the divided counterelectrode and the corresponding gate bus line, and it arranges, The voltage of straight polarity and negative polarity supplies the voltage data reversed mutually to a drain bus line, The offset voltage equivalent to threshold voltage V_{TH} of voltage and a liquid crystal which shows the polarity of the voltage which synchronizes with the selection cycle of the gate bus line corresponding to the electrode for each sets, and is supplied to a drain bus line is supplied. Therefore, equalization of the average effective voltage of a liquid crystal cell and low withstand voltage-ization of the switching driver of a gate bus line and a drain bus line can be attained.

[0038] Since an equivalent effect is acquired also when analog voltage is inputted into a drain bus line, these drive methods are applicable also to the gradation drive of TFT-LCD.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is an outline perspective view of TFT-LCD in the 1st example of this invention.

[Drawing 2] It is a schematic block diagram of TFT-LCD in the 1st example of this invention.

[Drawing 3] It is a schematic block diagram of the common change circuit in the 1st example of this invention.

[Drawing 4] It is a timing chart of the common change circuit in the 1st example of this invention of operation.

[Drawing 5] It is a timing chart of the drive method of TFT-LCD concerning the 1st example of this invention.

[Drawing 6] It is a timing chart of the common change circuit in the 2nd example of this invention of operation.

[Drawing 7] It is a timing chart of the drive method of TFT-LCD concerning the 2nd example of this invention.

[Drawing 8] It is a schematic block diagram of the data circuit in the 3rd example of this invention.

[Drawing 9] It is an output voltage waveform figure of the data circuit in the 3rd example of this invention.

[Drawing 10] It is a timing chart of the common change circuit in the 3rd example of this invention of operation.

[Drawing 11] It is a timing chart of the drive method of TFT-LCD concerning the 3rd example of this invention.

[Drawing 12] It is a lineblock diagram of conventional TFT-LCD.

[Drawing 13] It is a timing chart of the drive method of conventional TFT-LCD.

[Drawing 14] It is an electrooptics characteristic figure of the conventional TN liquid crystal cell.

[Description of Notations]

- 1 Gate bus line
- 2 Drain bus line
- 3 Picture element electrode
- 4 TFT
- 5 Counterelectrode
- 6 Liquid crystal
- 7 Scanning circuit
- 8 Data circuit
- 9 Common change circuit

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

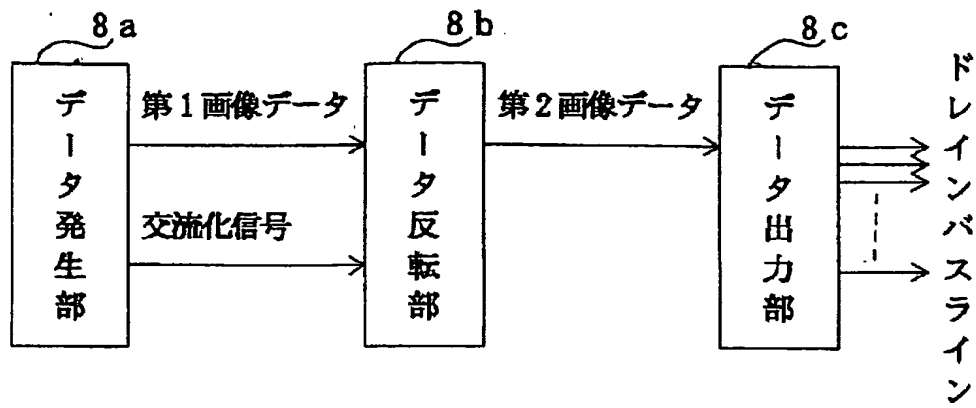
1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

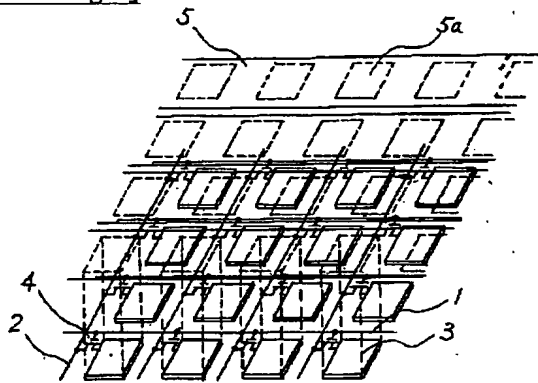
3. In the drawings, any words are not translated.

DRAWINGS

[Drawing 8]

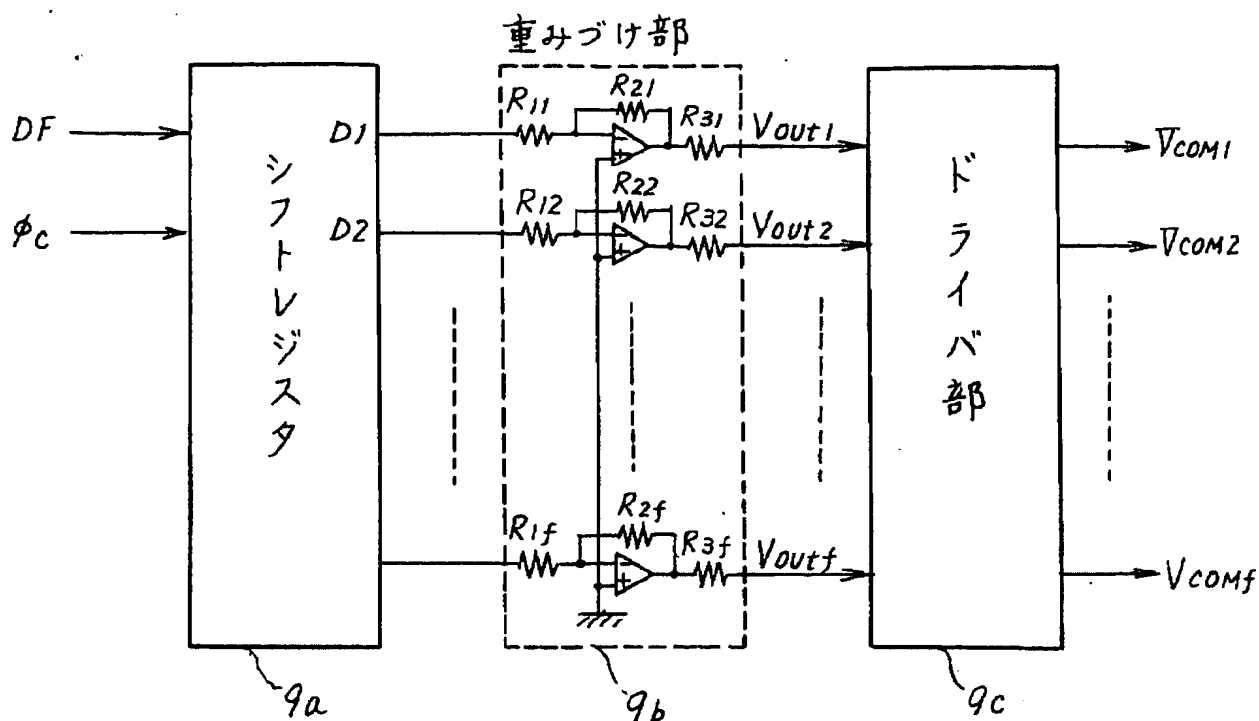


[Drawing 1]

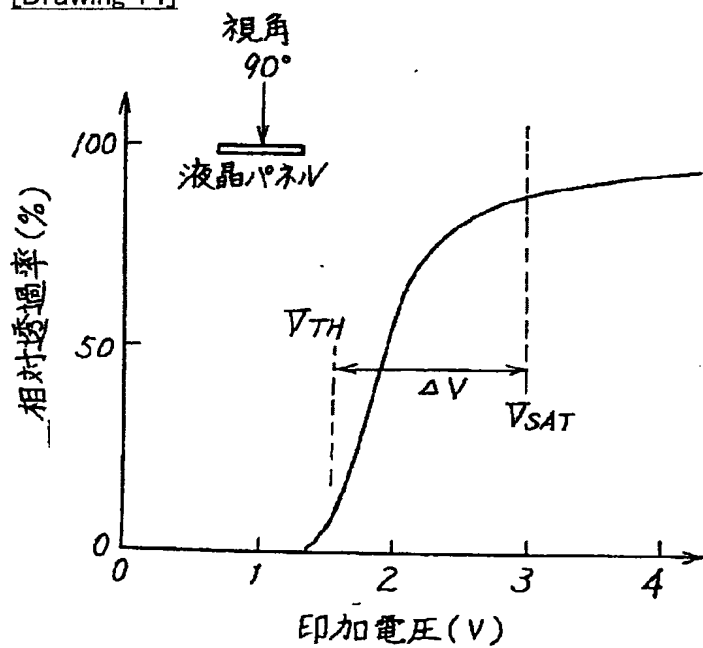


- 1 : ゲートバス
- 2 : ドレインバス
- 3 : 画素電極
- 4 : TFT
- 5 : 対向電極
- 5a : 画素電極と対向電極部分

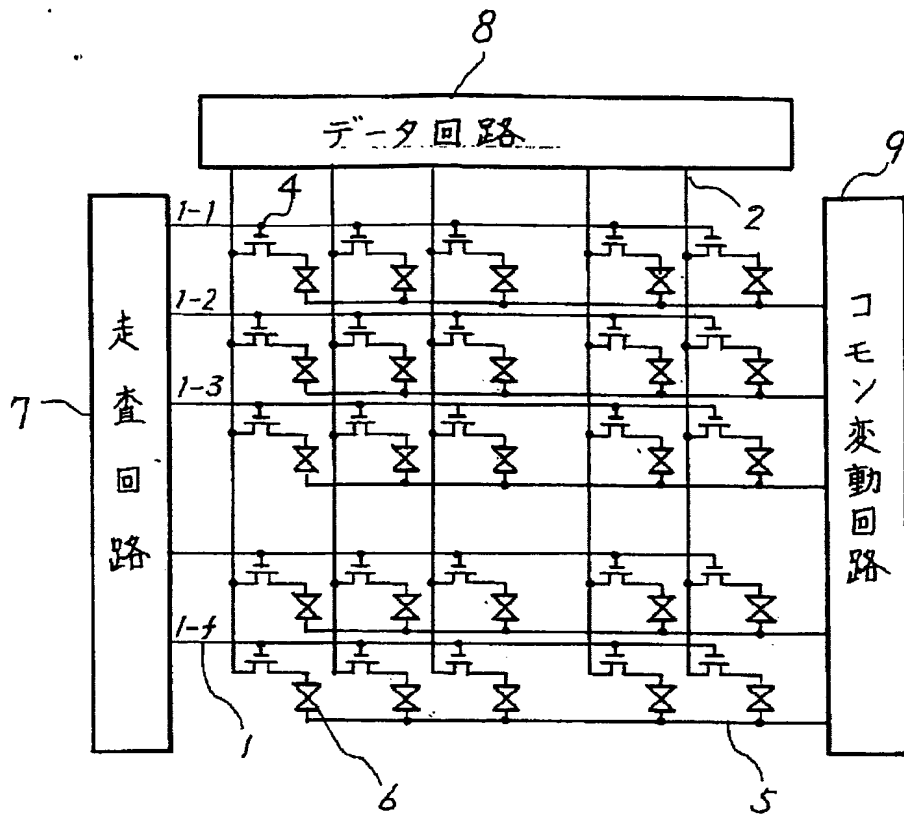
[Drawing 3]



[Drawing 14]

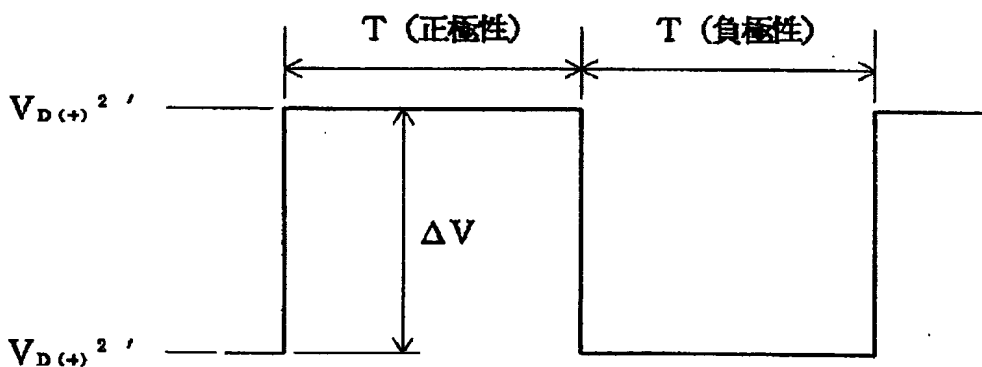


[Drawing 2]

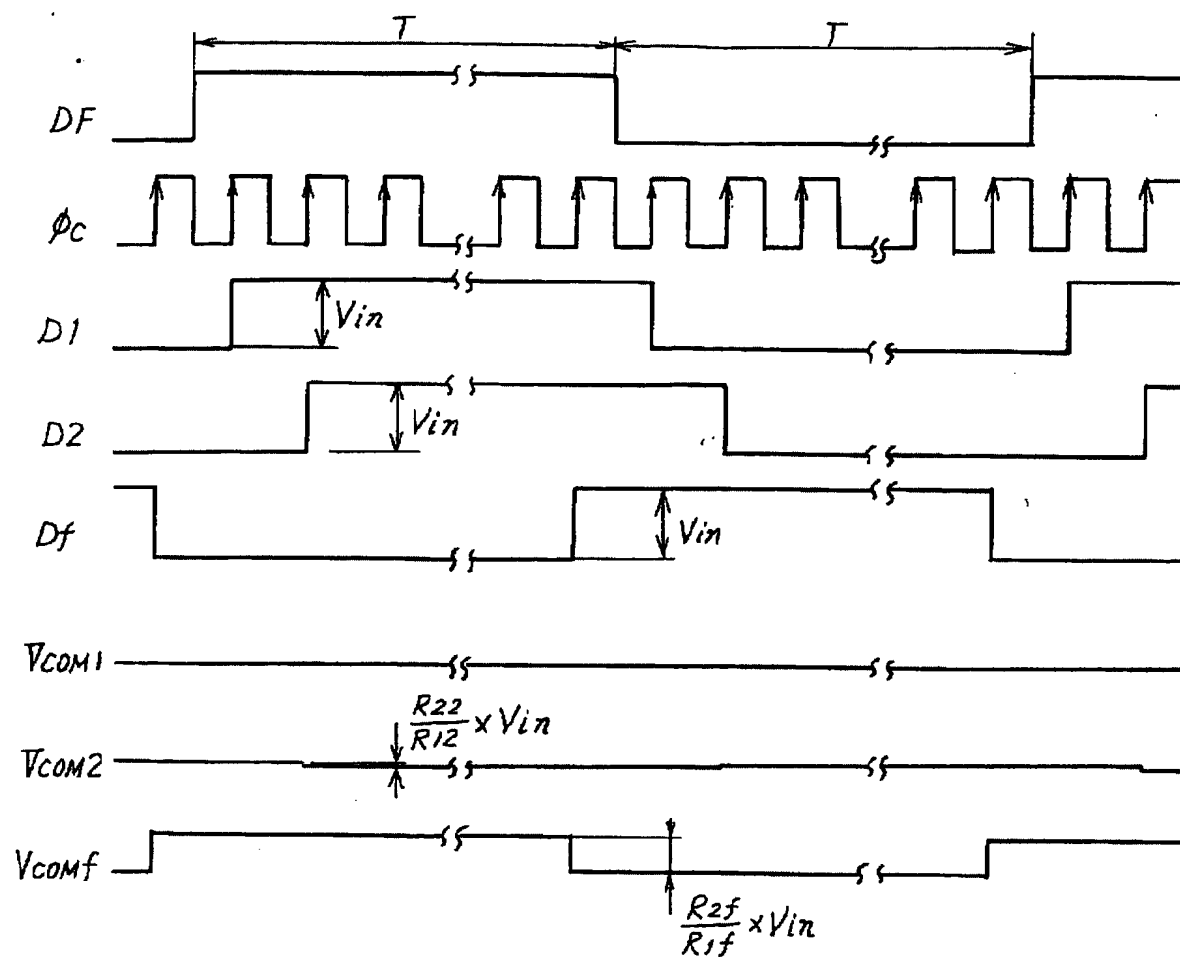


- 6 : 液晶
 7 : 走査回路
 8 : データ回路
 9 : コモン変動回路

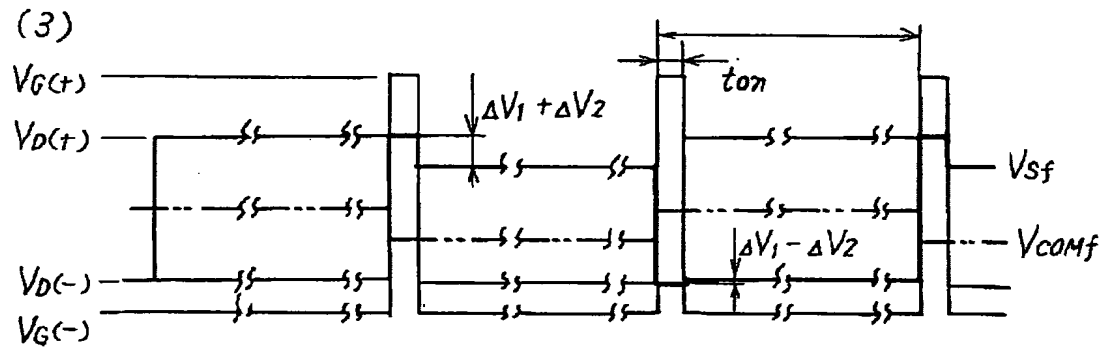
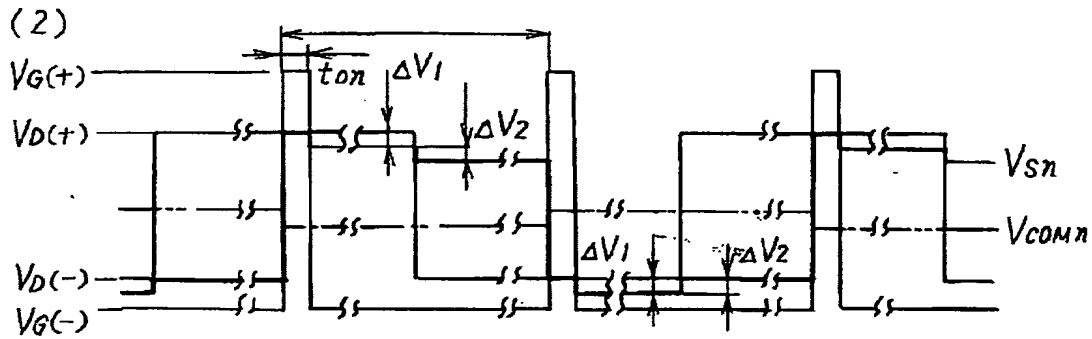
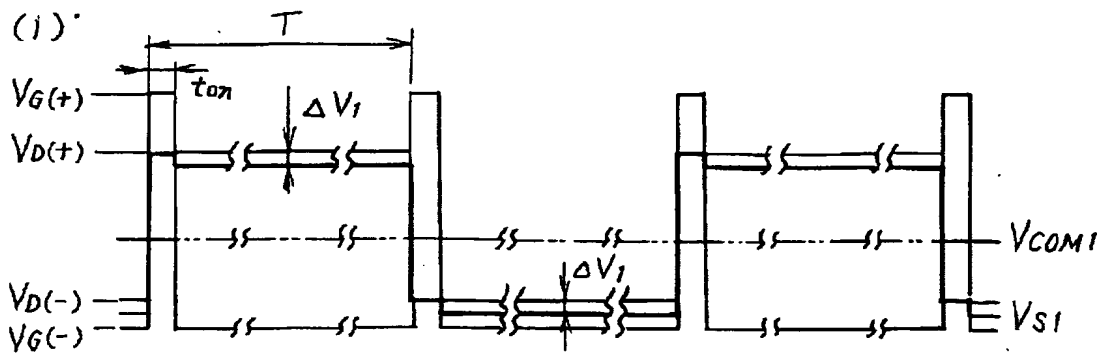
[Drawing 9]



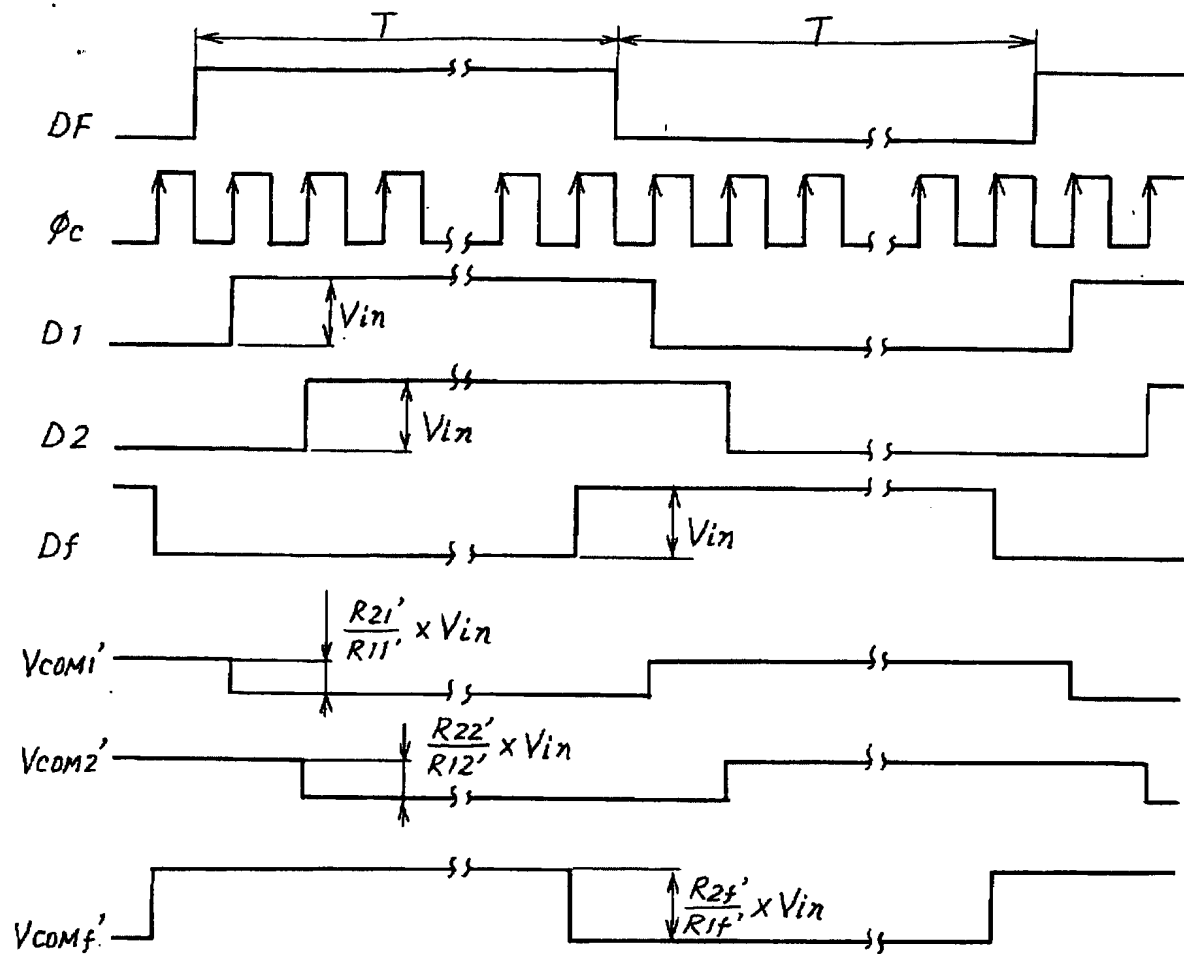
[Drawing 4]



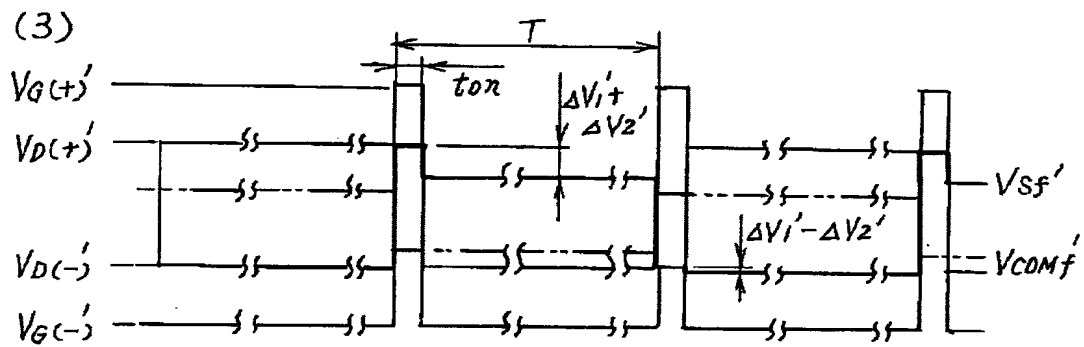
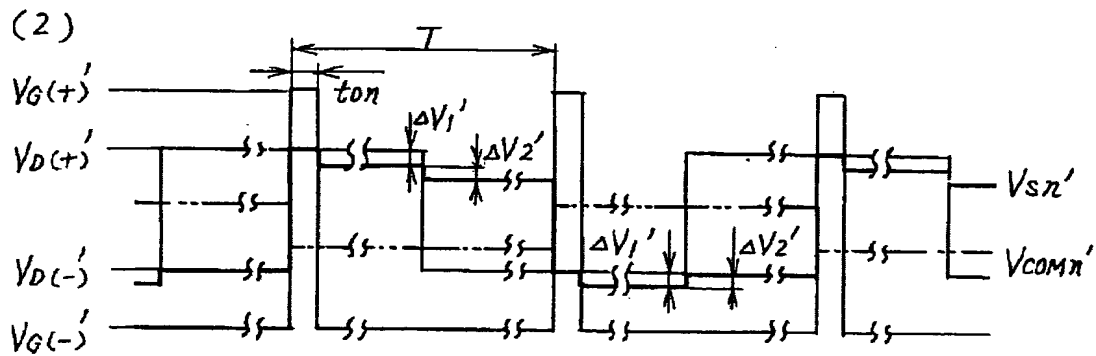
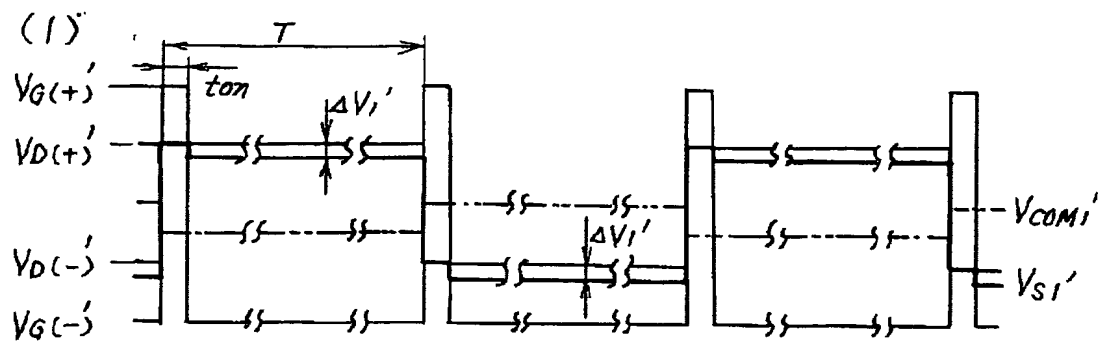
[Drawing 5]



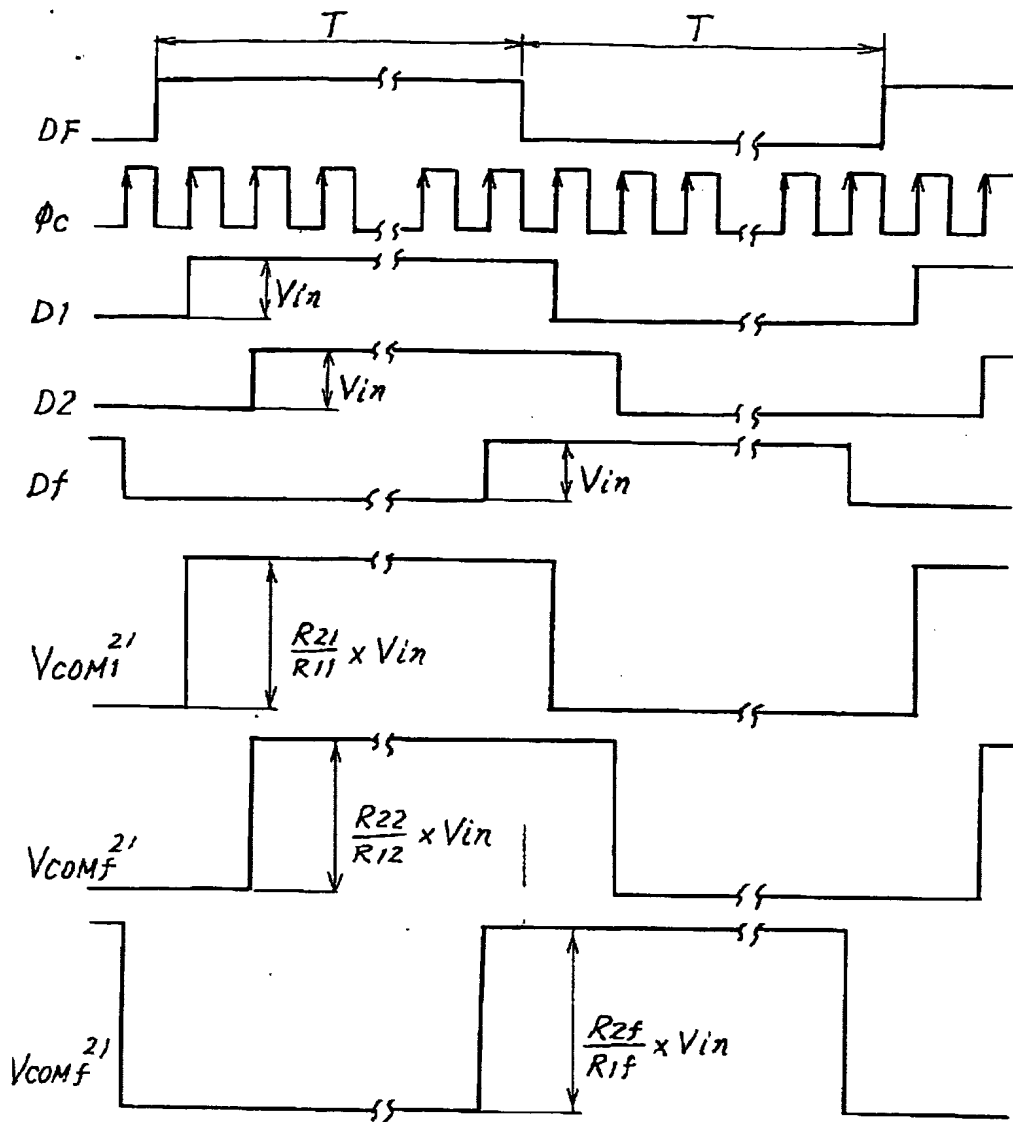
[Drawing 6]



[Drawing 7]

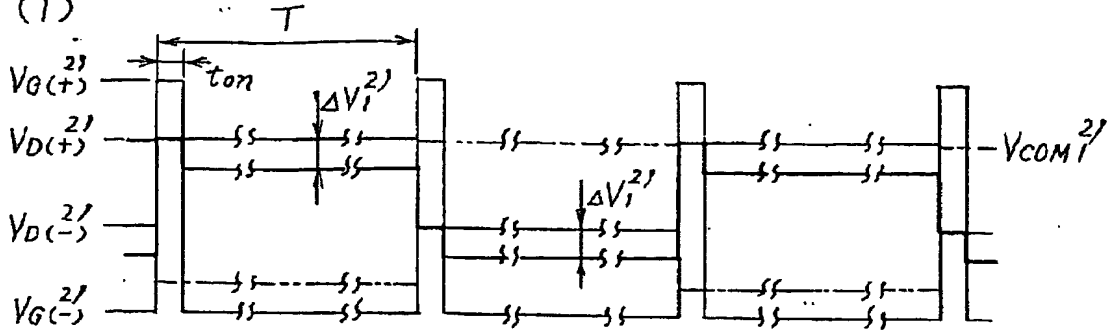


[Drawing 10]

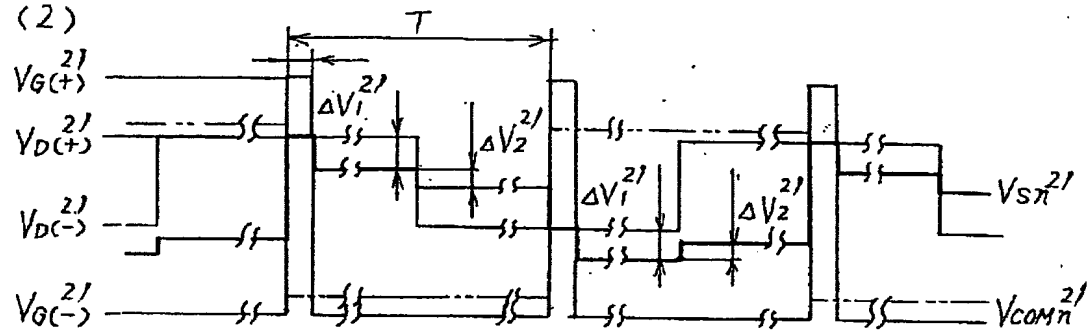


[Drawing 11]

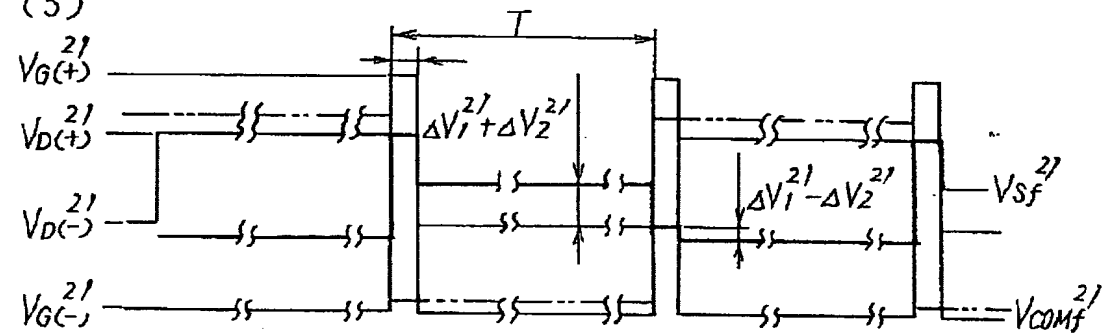
(1)



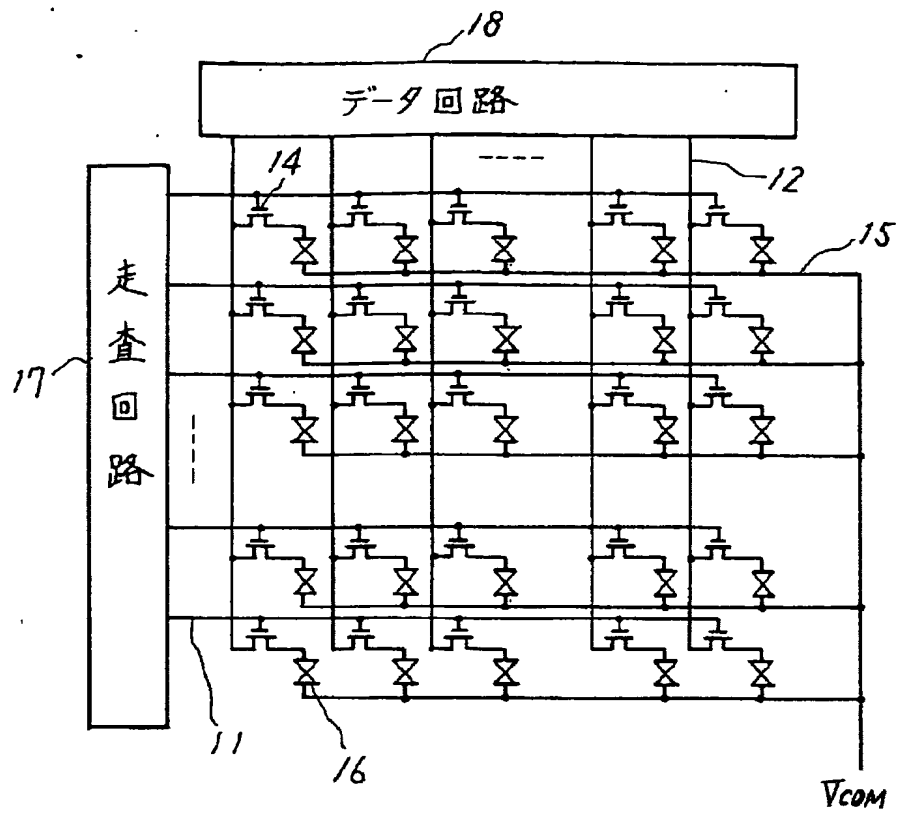
(2)



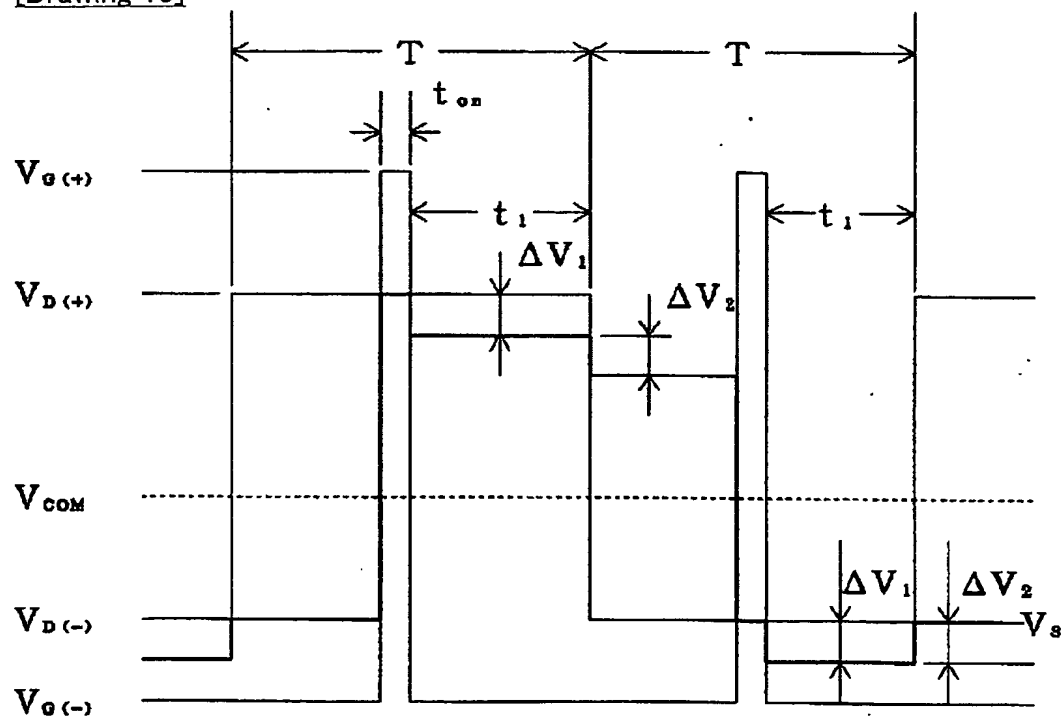
(3)



[Drawing 12]



[Drawing 13]



[Translation done.]

*** NOTICES ***

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CORRECTION OR AMENDMENT

[Kind of official gazette]Printing of amendment by regulation of 2 of Article 17 of Patent Law
[Section classification] The 2nd classification of the part VI gate
[Publication date]May 31, Heisei 8 (1996)

[Publication No.]JP,5-27710,A
[Date of Publication]February 5, Heisei 5 (1993)
[Annual volume number] Publication of patent applications 5-278
[Application number]Japanese Patent Application No. 3-182611
[International Patent Classification (6th Edition)]

G09G 3/36 9378-5G

G02F 1/133 520 7807-2K

550 7807-2K

[Written amendment]
[Filing date]February 23, Heisei 7
[Amendment 1]
[Document to be Amended]Specification
[Item(s) to be Amended]0023
[Method of Amendment]Change
[Proposed Amendment]

[0023]However, in this example, as shown in drawing 6 and drawing 7, the ratio of 1 set of resistance R_{1n} connected to the electrode for matched pairs at the arbitrary gate bus lines provided in the weighting part 9b of the common change circuit 9 of drawing 3 to $R_{2n} - R_{2n}/R_{1n}$ being set as the conditions in consideration of weighting information and offset voltage information, and, Since offset voltage V_{TH} of straight polarity and negative polarity is added by the common change circuit 9 connected to the counterelectrode 5, the voltage swing of ON-state-voltage $V_{G(+)}$ ' of the scanning circuit 7, and OFF-state-voltage $V_{G(-)}$ ' connected to the gate bus line 1 — $V_G [(+)] - V_{G(-)} = V$ — to $G(+)$ $-V_{G(-)} - V_{TH} \times 2$. the voltage swing of ON-state-voltage $V_{D(+)}$ ' of the straight polarity of the data circuit 8, and ON-state-voltage $V_{D(-)}$ ' of negative polarity connected to the drain bus line 2 — $V_D [(+)] - V_{D(-)} = V$ — $D(+)$ $-V_{D(-)} - V_{TH} \times 2$ can be decreased.

[Amendment 2]
[Document to be Amended]Specification
[Item(s) to be Amended]0025
[Method of Amendment]Change
[Proposed Amendment]

[0025]In the driving waveform of last gate bus line 1-f shown in drawing 7 (3), Since period ΔV_2 ' of Tx (N-1/N) occurs, ΔV_1 ', ΔV_2 ', and V_{TH} are taken into consideration, Resistance R_{1f} and R_{2f} of the weighting part 9b are set up so that it may be set to $x(R_{2f}/R_{1f}) V_{in} = (\Delta V_2' + V_{TH}) \times 2$, From the driver part 9c, at the time of straight polarity ($V_{D(+)}' + V_{D(-)}'$) to $/2 - \Delta V_1' - \Delta V_2' - V_{TH}$, V_{COMf} ' which has change of $x(\Delta V_2' + V_{TH}) \times 2$ set as $/2 - \Delta V_1' + \Delta V_2' + V_{TH}$ at the time of negative polarity ($V_{D(+)}' + V_{D(-)}'$) is outputted. This holds average impressed electromotive force $(V_{D(+)} - V_{D(-)}) / 2$ between picture element electrode voltage V_{Sf} ' of last gate bus line 1-f.

[Amendment 3]
[Document to be Amended]Specification

[Item(s) to be Amended]0030

[Method of Amendment]Change

[Proposed Amendment]

[0030]For example, in the electrode for matched pairs to the 1st gate bus line 1-1, the ratio of resistance R_{21} connected to resistance R_{11} , - input, and the output which are connected to - input of an operational amplifier - $-R_{21}/R_{11}$ via R_{11} to - input of an operational amplifier. the ratio of voltage swing V_{in} inputted to output-voltage-amplitude V_{out1} of an operational amplifier, since it becomes equal to V_{out1}/V_{in1} , $V_{out1}=(R_{21}/R_{11}) \times V_{in}$ is materialized, Voltage amplification rate R_{21}/R_{11} doubled with the conditions of the 1st gate bus line is selected, In the electrode for matched pairs, to the 2nd gate bus line, according to the condition similarly voltage amplification rate R_{22}/R_{12} , In the electrode for matched pairs, voltage amplification rate R_{2f}/R_{1f} is selected to the last gate bus line, and $V_{TH} \times 2 + \Delta V$ weighting voltage is included in the voltage swing. Since the output of an operational amplifier serves as reversal amplification, it sets up DF waveform inputted into the shift register 9a from the data circuit 8 in consideration of the state of the voltage data outputted to the drain bus line 2. And protective resistance R_{31} , $R_{32} - V_{COM1}^{2'}$ to the 1st gate bus line 1-1 via R_{3f} and the driver part 9c to the electrode for matched pairs. The electrode for matched pairs is supplied at the 2nd gate bus line 1-2, and $V_{COMf}^{2'}$ is supplied for $V_{COM2}^{2'}$ to the electrode for matched pairs at last gate bus line 1-f, respectively. For this reason, ΔV_2 shown by the conventional example of drawing 13 decreases to $\Delta V_2^{2'} = \{\Delta V / (V_{TH} \times 2 + \Delta V \times 2)\} \times \Delta V_2$. Since amplitude of the impressed electromotive force supplied to the gate bus line 1 can also be made small, ΔV_1 decreases to $\Delta V_1^{2'}$ like the 2nd example.

[Amendment 4]

[Document to be Amended]Specification

[Item(s) to be Amended]0032

[Method of Amendment]Change

[Proposed Amendment]

[0032]In the driving waveform of the 1st gate bus line 1-1 shown in drawing 11 (1), ON-state-voltage V_G impressed to the gate bus line 1 immediately after the polarity of the voltage data outputted from the drain bus line 2 changes In order that there may be no period when $(+)^{2'}$ is supplied in and $\Delta V_2^{2'}$ occurs, Change and polarity of $\Delta V_1^{2'}$, and offset voltage V_{TH} which are generated with the parasitic capacitance of TFT are taken into consideration, It is time V_D [straight polarity] from a common change circuit to the electrode for matched pairs. To $(+)^{2'} - \Delta V_1^{2'} - \Delta V - V_{TH}$. Time V_D [negative polarity] $V_{COM1}^{2'}$ which has the change amplitude of $\Delta V + V_{TH} \times 2$ set as $(-)^{2'} - \Delta V_1^{2'} + \Delta V + V_{TH}$ is outputted. This holds average impressed-electromotive-force $\Delta V + V_{TH}$ between picture element electrode voltage $V_{S1}^{2'}$ of the 1st gate bus line.

[Amendment 5]

[Document to be Amended]Specification

[Item(s) to be Amended]0033

[Method of Amendment]Change

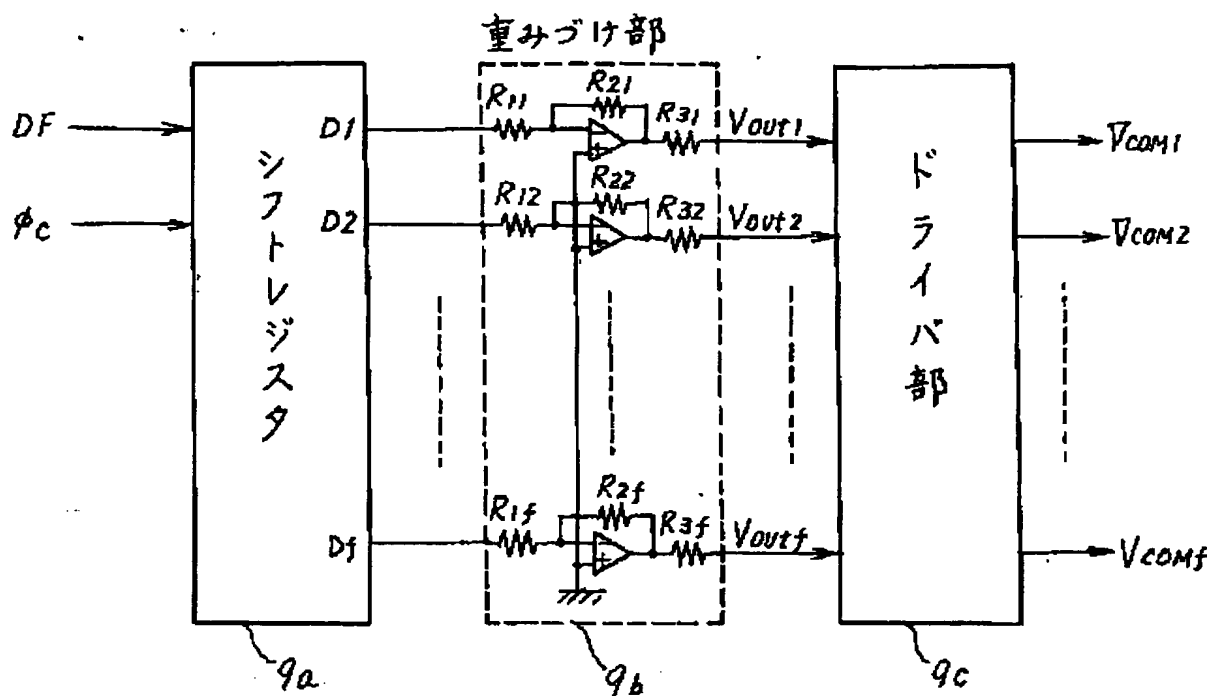
[Proposed Amendment]

[0033]In the driving waveform of the last gate bus line shown in drawing 11 (3), Just before the polarity of the voltage data outputted from the drain bus line 2 changes, $V_{G(+)}^{2'}$ is supplied to the gate bus line 1, Since period $**V_2^{2'}$ of Tx (N-1/N) will occur if the number of scan lines is made into $T = N \times t_{ON}$ by N, $**V_1^{2'}$, $**V_2^{2'}$, polarity, and V_{TH} are taken into consideration, It is V_D to the electrode for matched pairs at the time of straight polarity. To $(+)^{2'} - \Delta V_1^{2'} - \Delta V_2^{2'} - \Delta V - V_{TH}$. the time of negative polarity — $V_D (+) - V_{COMf}^{2'}$ which has the change amplitude of $^{2'} - \Delta V - V_1^{2'} - \Delta V - V_2^{2'} + \Delta V + V_{TH} \times 2 + \Delta V_2^{2'} \times 2$ is outputted. This holds average impressed-electromotive-force $\Delta V + V_{TH}$ between picture element electrode voltage $V_{Sf}^{2'}$ of the last gate bus line.

[Amendment 6]

[Document to be Amended]DRAWINGS

[Item(s) to be Amended]Drawing 3



(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-27710

(43)公開日 平成5年(1993)2月5日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
G 0 9 G 3/36		7926-5G		
G 0 2 F 1/133	5 2 0	7820-2K		
	5 5 0	7820-2K		

審査請求 未請求 請求項の数4(全17頁)

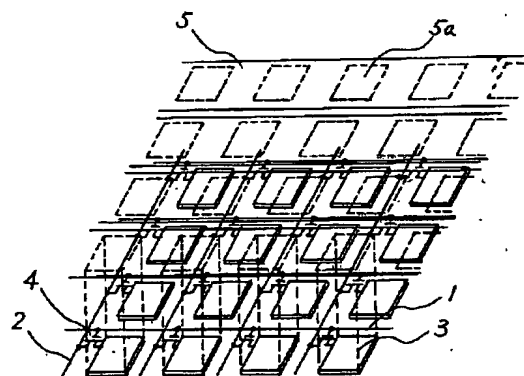
(21)出願番号	特願平3-182611	(71)出願人	000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
(22)出願日	平成3年(1991)7月23日	(72)発明者	遠山 広 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
		(72)発明者	菅野 裕雅 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
		(72)発明者	濱野 広 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
		(74)代理人	弁理士 清水 守 (外2名) 最終頁に続く

(54)【発明の名称】 アクティブマトリクス型液晶パネルの駆動方法

(57)【要約】

【目的】 液晶層にかかる走査周期ごとの平均実効電圧の均一化とドレインバスラインのスイッチングドライバの低耐圧化を達成する。

【構成】 背面基板上にゲートバスライン1とドレインバスライン2とを直交させて配置し、その交点にTFT4を設け、個別の表示セルに対応する透明な画素電極3に接続する。また、前面基板上にゲートバスライン1と平行で、かつ、同数に分割された透明な対向電極5を設ける。そして、ドレインバスライン2に正極性と負極性の電圧が互いに反転された電圧データを供給し、各対向電極5に対応するゲートバスライン1の選択周期に同期し、かつ、ドレインバスライン2に供給される電圧の極性を示す電圧及び液晶のしきい値電圧 V_{TH} に相当するオフセット電圧を供給する。



- 1 : ゲートバス
- 2 : ドレインバス
- 3 : 画素電極
- 4 : TFT
- 5 : 対向電極
- 5a : 画素電極と対向する部分

【特許請求の範囲】

【請求項1】 複数のゲートバスラインと、該ゲートバスラインと交差する複数のドレインバスラインと、その交差部に設けられたスイッチング素子と、該スイッチング素子に接続された画素電極とを有する背面基板と、対向電極を有する前面基板と、前記両基板間に配置された液晶層とを備えるアクティブマトリクス型液晶パネルにおいて、

(a) 前記対向電極を前記ゲートバスラインと同数に分割し、かつ、該分割された対向電極と対応する前記ゲートバスラインに接続された全ての前記画素電極と対向させて配置し、

(b) 前記各ゲートバスライン毎に重みづけを行い、前記各ゲートバスラインに対応する対向電極に前記各ゲートバスラインの選択周期に同期し、かつ、前記ドレインバスラインに供給される電圧データの極性反転により変動する前記画素電極の電圧を重みづけ電圧データとして供給することを特徴とするアクティブマトリクス型液晶パネルの駆動方法。

【請求項2】 各対向電極に供給される電圧データに液晶のしきい値電圧 V_{th} に相当するオフセット電圧を付加したことを特徴とする請求第1項記載のアクティブマトリクス型液晶パネルの駆動方法。

【請求項3】 複数のゲートバスラインと、該ゲートバスラインと交差する複数のドレインバスラインと、その交差部に設けられたスイッチング素子と、該スイッチング素子に接続された画素電極とを有する背面基板と、対向電極を有する前面基板と、前記両基板間に配置された液晶層とを備えるアクティブマトリクス型液晶パネルにおいて、

(a) 前記対向電極を前記ゲートバスラインと同数に分割し、かつ、該分割された対向電極と対応する前記ゲートバスラインに接続された全ての前記画素電極と対向させて配置し、

(b) 前記ドレインバスラインに正極性と負極性の電圧が互いに反転された電圧データを供給し、

(c) 前記各対向電極に前記各ゲートバスラインの選択周期に同期し、かつ、前記ドレインバスラインに供給される電圧の極性を示す電圧及び液晶のしきい値電圧 V_{th} に相当するオフセット電圧を供給することを特徴とするアクティブマトリクス型液晶パネルの駆動方法。

【請求項4】 各ゲートバスライン毎に重みづけを行い、ドレインバスラインに供給される電圧データの極性反転により変動する画素電極の電圧を、各ゲートバスラインに対応する対向電極に重みづけ電圧データとして供給することを特徴とする請求項3記載のアクティブマトリクス型液晶パネルの駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、アクティブマトリクス

型液晶パネルの駆動方法に関するものである。

【0002】

【従来の技術】 従来、アクティブマトリクス型液晶パネル、特に薄膜トランジスタを利用したアクティブマトリクス型液晶パネル（以後TFT-LCDと記す）の駆動方法は、その交流化方法の違いにより、数種類の異なった方法が用いられているが、電圧供給方法の概念は、同様のものである。そこで、代表的な例として、例えば、「テレビジョン学会誌Vol. 42, No. 1, P10～16, P23～29」等に記載された走査周期毎に交流化を行う駆動方法（以後フレームモードと記す）について説明する。

【0003】 図12は従来のTFT-LCDの構成図、図13はその駆動タイミングチャートである。図12に示すように、TFT-LCDは一般的に、背面基板上にゲートバスライン11とドレインバスライン12を直交配置して、その交点に各画素電極に応じたスイッチング素子として薄膜トランジスタ（以後TFTと記す）14を設け、前面基板上に透明な対向電極15を設け、両基板の表面に適当な方向に配向処理された配向膜を設け、両基板の配向膜を液晶層を介して対向配置させて貼り合わせ、かつ、前面基板と背面基板の背面に互いに偏光軸が平行あるいは垂直になるように偏光膜を貼り付けた構成にし、TFT14を介して供給される画素電極の電圧と対向電極15の電圧 V_{com} との電位差により、両電極に挟まれた部分の液晶16をスイッチングするものである。なお、両基板、画素電極、配向膜及び偏光膜は図示を省略した。

【0004】 TFT14のスイッチング手段として、ゲートバスライン11には走査回路17が、ドレインバスライン12にはデータ回路18が接続されている。そして、TFT14のゲート選択信号として走査回路17からオン電圧 V_{on} 、オフ電圧 V_{off} が、TFT14のドレイン選択及び輝度データ信号としてデータ回路18から正極性の書込み電圧 V_{on} 、負極性の書込み電圧 V_{off} が供給される。

【0005】 TFT14により書込まれた画素電極の電圧 V_s は、図13に示されるように、その電圧保持状態において2度の電圧変動を起こす。第1にTFT14のゲート選択信号がオン状態からオフ状態に変化する際に、ゲート選択信号が供給されるTFT14に接続される画素電極の電圧 V_s は、TFT14のゲートソース間寄生容量 C_{gs} により ΔV_1 だけ変動する。第2に輝度データ信号が書込み時の極性と反対の極性に変化する時に、画素電極とドレインバスライン12との間の電界効果によって ΔV_2 だけ変動する。この電圧変動によって液晶にDC電圧がかかることを防ぐために、画素電極と対向電極15との間の電位差が画素電極の電圧 V_s の変動に対して正極性の書込み時と負極性の書込み時とで均等になるように対向電極15に対して電圧 V_{com} が供給

10

20

30

40

50

される。

【0006】図14は前記2枚の偏光膜の偏光軸を平行になるように貼り付けた構成にした場合のTN液晶セルの電気光学特性図である。図に示すように、TF T-LCDに使用にされるTN液晶セルは、画素電極と対向電極との電位差に対して、光透過率が急激に増加するしきい値電圧 V_{TH} と光透過率の変動が少なくなる飽和電圧 V_{SAT} が存在し、 $V_{TH} \sim V_{SAT}$ の電圧範囲 ΔV においては、電圧変動が光透過率の変化を示す。このため、完全なオン状態を達成するには、正極性においては $V_{SAT} < V_S - V_{COM}$ 、負極性においては $V_{SAT} < V_{COM} - V_S$ の電圧条件に設定し、完全なオフ状態を達成するには正極性においては $V_{TH} > V_S - V_{COM}$ 、負極性においては $V_{TH} > V_{COM} - V_S$ の電圧条件に設定することが必要であり、これにより液晶セルのスイッチングができる。

【0007】

【発明が解決しようとする課題】しかしながら、前記従来の駆動方法においては、画素電極にデータ信号が書き込まれてからドレインバスラインの電圧極性が反転するまでの時間(図13の t_1)が異なる場合(例えば、走査回路によって選択される第1番目のゲートバスラインにおいては $t_1 \approx T$ 、最終のゲートバスラインにおいては $t_1 \approx 0$)、それぞれのゲートバスラインにTF Tを介して接続される画素電極の電圧 V_S を比較すると、画素電極とドレインバスラインとの間の電界効果によって ΔV だけ電圧変動する期間が異なるため、液晶層にかかる走査周期毎の平均実効電圧が異なり、光透過率の相違による輝度ムラが発生するという問題点があった。

【0008】また、液晶層のスイッチングには、画素電極と対向電極との間に ΔV の電圧変動を発生させるだけで十分であるが、対向電極の電圧を固定し、画素電極の電圧を正極性と負極性に変動させるため、ドレインバスラインのスイッチングドライバに $V_{SAT} \times 2$ ($(V_{TH} + \Delta V) \times 2$ に相当)のスイッチング電圧が必要であった。そのため、 $\Delta V + V_{TH} \times 2$ の電圧分だけ余分なスイッチング電圧が必要となり、スイッチングドライバの低耐圧化の障害となっていた。

【0009】本発明は、前記問題点を解決して、液晶層にかかる走査周期ごとの平均実効電圧を均一化して光透過率の相違による輝度ムラを防止するアクティブマトリクス型液晶パネルの駆動方法を提供することを目的とする。また、本発明は前記問題点を解決して、液晶層にかかる走査周期ごとの平均実効電圧を均一化して光透過率の相違による輝度ムラを防止し、かつ、ドレインバスラインのスイッチングドライバの低耐圧化を達成するアクティブマトリクス型液晶パネルの駆動方法を提供することを目的とする。

【0010】

【課題を解決するための手段】前記問題点を解決するために、本発明は、複数のゲートバスラインと、ゲートバ

スラインと交差する複数のドレインバスラインと、その交差部に設けられたスイッチング素子と、スイッチング素子に接続された画素電極とを有する背面基板と、対向電極を有する前面基板と、両基板間に配置された液晶層とを備えるアクティブマトリクス型液晶パネルにおいて、対向電極をゲートバスラインと同数に分割し、かつ、分割された対向電極と対応するゲートバスラインに接続された全ての画素電極と対向させて配置し、各ゲートバスライン毎に重みづけを行い、各ゲートバスラインに対応する対向電極に各ゲートバスラインの選択周期に同期し、かつ、ドレインバスラインに供給される電圧データの極性反転により変動する画素電極の電圧を重みづけ電圧データとして供給するように構成した。

【0011】また、本発明は、前記アクティブマトリクス型液晶パネルにおいて、対向電極をゲートバスラインと同数に分割し、かつ、分割された対向電極と対応するゲートバスラインに接続された全ての画素電極と対向させて配置し、ドレインバスラインに正極性と負極性の電圧が互いに反転された電圧データを供給し、各対向電極に対応するゲートバスラインの選択周期に同期し、かつ、ドレインバスラインに供給される電圧の極性を示す電圧及び液晶のしきい値電圧 V_{TH} に相当するオフセット電圧を供給するように構成した。

【0012】

【作用】本発明によれば、以上のようにアクティブマトリクス型液晶パネルの駆動方法を構成したので、ゲートバスラインと同数に分割された対向電極に、対応するゲートバスラインの選択周期に同期し、かつ、ドレインバスラインに供給される電圧データの極性反転により変動する画素電極の電圧が重みづけ電圧データとして供給される。

【0013】また、本発明によれば、ドレインバスラインには正極性と負極性の電圧が互いに反転された電圧データが供給され、ゲートバスラインと同数に分割された対向電極には対応するゲートバスラインの選択周期に同期し、かつ、ドレインバスラインに供給される電圧の極性を示す電圧及び液晶のしきい値電圧 V_{TH} に相当するオフセット電圧が供給される。

【0014】

【実施例】以下、本発明の実施例について図面を参照しながら詳細に説明する。

(第1実施例)図1は、本発明の第1実施例におけるTF T-LCDの概略斜視図である。本実施例におけるTF T-LCDは透明な背面基板上にゲートバスライン1とドレインバスライン2とを直交させて配置し、その交点にTF T4を設け、個別の表示セルに対応する透明な画素電極3に接続し、さらに適当な方向に配向処理された配向膜を設けた。また、透明な前面基板上にゲートバスライン1と平行で、かつ、同数に分割された透明な対向電極5を設け、適当な方向に配向処理された配向膜を

設けた。そして、両基板の配向膜同士を向い合せ、各対向電極5が対応するゲートバスライン1にTFT4を介して接続される全ての画素電極3のみと対向するように位置合わせし、両基板間に適当なギャップを設け、液晶を注入し、両基板の露出側に互いの偏光軸が平行あるいは垂直になるように偏光膜を貼り付けた。なお、両基板、配向膜、液晶及び偏光膜は図示を省略した。

【0015】図2は本発明の第1実施例におけるTFT-LCDの概略ブロック図である。本実施例におけるTFT-LCDは、ゲートバスライン1に走査回路7を接続し、走査回路7により第1のゲートバスライン1-1から順番に t_{on} 時間ずつ周期T毎に1回、オン電圧 V_{on} を供給し、かつ、 t_{on} 以外の時間に各ゲートバスライン1にオフ電圧 V_{off} を供給する。そして、ドレインバスライン2にデータ回路8を接続し、液晶6に書き込む電圧データを正極性のオン電圧 V_{on} 、負極性のオン電圧 V_{off} としてドレインバスライン2に供給する。以上の構成は図12及び図13に示した従来例と同様である。さらに、本実施例においては、対向電極5にコモン変動回路9を接続し、コモン変動回路9により各ゲートバスライン1に対応する重みづけ情報を含み、かつ、各ゲートバスライン1に対応するゲートバスライン1のオン電圧 V_{on} の印加に同期して変化する電圧データ $V_{com1} \sim V_{comf}$ を供給する。

【0016】図3は本発明の第1実施例におけるコモン変動回路の概略ブロック図、図4はその動作タイミングチャートである。コモン変動回路9はシフトレジスタ部9aと、オペアンプ及び抵抗からなる重みづけ部9bとドライバ部9cとから構成される。シフトレジスタ部9aは第1のゲートバスライン1-1のオン電圧 V_{on} 印加の直前に変化し、かつ、正、負の極性データを有するDFと、各ゲートバスラインのオン電圧印加の立ち上がり同期し、かつ、 t_{on} 時間の周期を有するクロック信号 ϕ_c とが供給され、1クロック分ずつ遅れた出力波形、D1、D2...、Drを出力する。重みづけ部9bのオペアンプは、入力電圧 V_{in} をこれに接続される抵抗 R_{1n} と R_{2n} の比 R_{2n}/R_{1n} 分だけ反転増幅し、保護抵抗 R_{3n} を介して $(R_{2n}/R_{1n}) \times V_{in}$ を出力する。すなわち、第1ゲートバスライン1-1の重みづけ条件に応じて R_{21}/R_{11} を、第2ゲートバスライン1-2の重みづけ条件に応じて R_{22}/R_{12} を、最終ゲートバスライン1-fの重みづけ条件に応じて R_{2f}/R_{1f} を設定し、同等の電圧振幅を有するシフトレジスタ9aの各出力波形D1、D2...、Drを重みづけ部9bに供給することにより、各ゲートバスラインの重みづけ条件に応じた所定の電圧振幅と極性データを有する電圧信号 $V_{out1} \sim V_{outf}$ を構成し、これをドライバ部9cを介して V_{com1} を第1ゲートバスライン1-1に対応する対向電極に、 V_{com2} を第2ゲートバスライン1-2に対応する対向電極に、 V_{comf} を最終ゲートバスライン1-fに対応する対向電

極にそれぞれ供給する。

【0017】ここで、各対向電極5に対する重みづけは、画素電極3とドレインバスライン2との間の電界効果によって ΔV_1 だけ変動する時間(図13の $T-t_1$)が短いものほど、電圧データの変動が小さくなるように設定し、 ΔV_1 の変動による液晶の電荷保持期間($T-t_{on}$)の画素電極3と対向電極5との間の平均印加電圧の変化を防いでいる。

【0018】図5は本発明の第1の実施例に係るTFT-LCDの駆動方法のタイミングチャートである。図5(1)に示す第1ゲートバスライン1-1の駆動波形においては、 ΔV_1 の発生する期間が存在しないため(図8の $T-t_1=0$)、図4に示したようにTFTの寄生容量により発生する ΔV_1 の変動だけ考慮し、コモン変動回路9の重みづけ部9bの抵抗 R_{11} と R_{21} を $V_{in} \times (R_{21}/R_{11}) = 0$ になるように設定して、ドライバ部9cから $(V_{on} + V_{off})/2 - \Delta V_1$ に設定された一定電圧の V_{com1} を出力する。これにより、ドレインバスライン2の電圧データをロスすることなく、第1ゲートバスライン1-1の画素電極電圧 V_{s1} との間で平均印加電圧 $(V_{on} - V_{off})/2$ を保持する。

【0019】また、図5(3)に示す最終ゲートバスライン1-fの駆動波形においては、走査ライン数をNで、 $T = N \times t_{on}$ とすると、 $T \times (N-1/N)$ の期間 ΔV_2 が発生するため、 ΔV_1 と ΔV_2 の変動を考慮して、重みづけ部9bの抵抗 R_{1f} と R_{2f} を $V_{in} \times (R_{2f}/R_{1f}) = \Delta V_2 \times 2$ になるように設定して、ドライバ部9cから正極性の時 $(V_{on} + V_{off})/2 - \Delta V_1 - \Delta V_2$ に、負極性の時 $(V_{on} + V_{off})/2 - \Delta V_1 + \Delta V_2$ に設定された $\Delta V_2 \times 2$ の変動を有する V_{comf} を出力する。これにより、最終ゲートバスライン1-fの画素電極電圧 V_{sf} との間で平均印加電圧 $(V_{on} - V_{off})/2$ を保持する。

【0020】そして、図5(2)に示す第nゲートバスラインの駆動波形においては、 $T \times (n-1/N)$ の期間 ΔV_2 が発生するため、 ΔV_1 と ΔV_2 の変動を考慮して、重みづけ部9bの抵抗 R_{1n} と R_{2n} を $V_{in} \times (R_{2n}/R_{1n}) = (n-1)/(N-1) \times \Delta V_2 \times 2$ になるように設定して、ドライバ部9cから正極性の時 $(V_{on} + V_{off})/2 - \{\Delta V_1 \times (N-n) + (\Delta V_1 + \Delta V_2) \times (n-1)\} / \{N-1\}$ に、負極性の時 $(V_{on} + V_{off})/2 - \{\Delta V_1 \times (N-n) + (\Delta V_1 - \Delta V_2) \times (n-1)\} / \{N-1\}$ に設定された $\{(n-1) \times \Delta V_2 \times 2\} / \{N-1\}$ の変動を有する V_{comn} を出力する。これにより、第nゲートバスラインの画素電極電圧 V_{sn} との間で平均印加電圧 $(V_{on} - V_{off})/2$ を保持する。

【0021】このように、本実施例においては、全ゲートバスラインにおけるオン状態の液晶セルに保持される平均印加電圧が一定になり、液晶セルの光透過率の相違

がなくなる。

【第2実施例】図6は本発明の第2実施例におけるコモン変動回路の動作タイミングチャート、図7は本発明の第2の実施例に係るTF T-L C Dの駆動方法のタイミングチャートである。なお、本実施例におけるTF T-L C Dの構成は第1実施例と同一である。また、コモン変動回路9は重みづけ部の抵抗値を第1実施例と異なる値にすればよい。

【0022】前記第1の実施例においては、データ回路により出力されるオン電圧 $V_{o(c+)}'$ と $V_{o(c-)}'$ の電圧データは、従来の電圧データ同様に図14に示されるオフセット電圧 V_{TH} が含まれており、その電圧振幅には $V_{TH} \times 2$ のロス電圧が含まれるため、走査回路により出力される電圧振幅 $V_{o(c+)} - V_{o(c-)}$ も $V_{TH} \times 2$ のロス電圧が付加される。

【0023】しかし、本実施例においては、図6及び図7に示すように、図3のコモン変動回路9の重みづけ部9bに設けた任意のゲートバスラインに接続される1組の抵抗 R_{1n} と R_{2n} の比 R_{2n}/R_{1n} を重みづけ情報とオフセット電圧情報を考慮した条件に設定し、対向電極5に接続されるコモン変動回路9により、正極性、負極性にオフセット電圧 V_{TH} を付加しているため、ゲートバスライン1に接続される走査回路7のオン電圧 $V_{o(c+)}'$ とオフ電圧 $V_{o(c-)}'$ の電圧振幅を $V_{o(c+)}' - V_{o(c-)}' = V_{o(c+)} - V_{o(c-)} - V_{TH} \times 2$ に、ドレインバスライン2に接続されるデータ回路8の正極性のオン電圧 $V_{o(e+)}'$ と負極性のオン電圧 $V_{o(e-)}'$ の電圧振幅を $V_{o(e+)}' - V_{o(e-)}' = V_{o(e+)} - V_{o(e-)} - V_{TH} \times 2$ に減少させることができる。

【0024】そして、このようにゲートバスライン1の電圧振幅が減少したため、その電圧振幅の減少に比例して ΔV_1 が $\Delta V_1'$ に減少し、ドレインバスライン2の電圧振幅が減少したため、その振幅の減少に比例して ΔV_2 が $\Delta V_2'$ にそれぞれ減少する。図7(1)に示す第1ゲートバスライン1-1の駆動波形においては、画素電極3とドレインバスライン2との間の電界効果によって生ずる $\Delta V_2'$ の発生する期間がないため、 $\Delta V_1'$ と V_{TH} を考慮して、コモン変動回路9の重みづけ部9b抵抗 R_{11} と R_{21} を $(R_{21}/R_{11}) \times V_{in} = V_{TH} \times 2$ になるように設定して、ドライバ部9cから正極性の時 $(V_{o(c+)}' + V_{o(c-)}')/2 - \Delta V_1' - V_{TH}$ に、負極性の時 $(V_{o(c+)}' + V_{o(c-)}')/2 - \Delta V_1' + V_{TH}$ に設定された $V_{TH} \times 2$ の変動を有する V_{com1}' を出力する。これにより、第1ゲートバスライン1-1の画素電極電圧 V_{s1}' との間で平均印加電圧 $(V_{o(c+)} - V_{o(c-)})/2$ を保持する。

【0025】また、図7(3)に示す最終ゲートバスライン1-fの駆動波形においては、 $T \times (N-1/N)$ の期間 $\Delta V_2'$ が発生するため、 $\Delta V_1'$ 、 $\Delta V_2'$ 、 V_{TH} を考慮して、重みづけ部9bの抵抗 R_{1f} と R_{2f} を

$(R_{2f}/R_{1f}) \times V_{in} = (\Delta V_2' + V_{TH}) \times 2$ になるように設定して、ドライバ部9cから正極性の時 $(V_{o(c+)}' + V_{o(c-)}')/2 - \Delta V_1' + \Delta V_2' - V_{TH}$ に、負極性の時 $(V_{o(c+)}' + V_{o(c-)}')/2 - \Delta V_1' + \Delta V_2' + V_{TH}$ に設定された $(\Delta V_2' + V_{TH}) \times 2$ の変動を有する V_{comf}' を出力する。これにより、最終ゲートバスライン1-fの画素電極電圧 V_{sf}' との間で平均印加電圧 $(V_{o(c+)} - V_{o(c-)})/2$ を保持する。

【0026】そして、図7(2)に示す第nゲートバスラインの駆動波形においては、 $T \times (n-1/N)$ の期間 $\Delta V_2'$ が発生するため、重みづけ部9bの抵抗 R_{1n} と R_{2n} を $(R_{2n}/R_{1n}) \times V_{in} = \{(n-1/N-1) \times \Delta V_2' + V_{TH}\} \times 2$ になるように設定して、ドライバ部9cから正極性の時 $(V_{o(c+)}' + V_{o(c-)}')/2 - \{\Delta V_1' \times (N-n) + (\Delta V_1' + \Delta V_2') \times (n-1)\} / \{N-1\} - V_{TH}$ に、負極性の時 $(V_{o(c+)}' + V_{o(c-)}')/2 - \{\Delta V_1' \times (N-n) + (\Delta V_1' - \Delta V_2') \times (n-1)\} / \{N-1\} - V_{TH}$ に設定された $\{(n-1)/(N-1) \times \Delta V_2' + V_{TH}\} \times 2$ の変動を有する V_{comn}' を供給する。これにより第nゲートバスラインの画素電極電圧 V_{sn}' との間で平均印加電圧 $(V_{o(c+)} - V_{o(c-)})/2$ を保持する。

【0027】このように、本実施例においては、全ゲートバスラインにおけるオン状態の液晶セルに保持される平均印加電極が一定になるので、液晶セルの光透過率の相違がなくなり、かつ、データ回路により出力される正極性と負極性のオン電圧の振幅と走査回路により出力されるオン電圧の振幅を $V_{TH} \times 2$ だけ小さくできる。

【第3実施例】図8は本発明の第3実施例におけるデータ回路の概略ブロック図、図9はその出力電圧波形図、図10は本発明の第3実施例におけるコモン変動回路の動作タイミングチャートである。なお、本実施例におけるTF T-L C Dの構成は第1実施例と同一である。また、コモン変動回路は、重みづけ部の抵抗値を第1実施例と異なる値にすればよい。

【0028】本実施例においては、図8に示すように、ドレインバスライン2に接続されているデータ回路8はデータ発生部8a、データ反転部8b、データ出力部8cから構成されている。そして、データ発生部8aから出力される第1画像データと時間T毎に極性の反転する交流化信号をデータ反転部8bにより演算して、時間T毎に極性が反転する第2画像データを構成し、データ出力部8cからドレインバスライン2に対して正極性と負極性の電圧データが互いに反転された情報として供給する。この場合、データ回路8から出力される各ドレインバスラインの電圧データは、図9に示されるように正極性においてオン電圧 $V_{o(e+)}'^2$ 、オフ電圧 $V_{o(e-)}'^2$ が、負極性においてオン電圧 $V_{o(e-)}'^2$ 、オフ電圧 $V_{o(e+)}'^2$ が出力され、 $V_{o(e+)}'^2 - V_{o(e-)}'^2 = V_{SAT} - V_{TH} = \Delta V$ に設定

され、ドレイン電圧の振幅が図13の従来例と比較して $V_{TH} \times 2 + \Delta V$ だけ小さくなる。

【0029】一方、コモン変動回路9から出力される各対向電極の電圧データは以下のように構成される。第1ゲートバスライン1-1のオン電圧印加直前に変化し、かつ、正、負の極性データを有する信号DFとゲートバスライン1のオン電圧印加の立ち上がり時に同期し、かつ、 t_{on} 時間の周期を有するクロック信号 ϕ_c とをシフトレジスタ部9aに供給して、1クロック分ずつ遅れた出力波形 D_1, D_2, \dots, D_r を作成し、これを重みづけ部9bにより各ゲートバスラインの重みづけ条件（詳細は後述）、オフセット電圧分及び極性条件に対する上のせ分に応じた所定の電圧振幅を有する電圧信号を作成する。

【0030】例えば、第1ゲートバスライン1-1においては、オペアンプの-入力に接続される抵抗 R_{11} と-入力及び出力に接続される抵抗 R_{21} の比 R_{21}/R_{11} がオペアンプの-入力に R_{11} を介して入力される電圧振幅 V_{in} とオペアンプの出力電圧振幅 V_{out1} の比 V_{out1}/V_{in} に等しくなるため、 $V_{out1} = (R_{21}/R_{11}) \times V_{in}$ が成立し、第1ゲートバスラインの条件に合わせた電圧増幅率 R_{21}/R_{11} を選定し、同様に第2ゲートバスラインにおいてはその条件に合わせて電圧増幅率 R_{22}/R_{12} を、最終ゲートバスラインにおいては電圧増幅率 R_{2r}/R_{1r} を選定し、その電圧振幅に $V_{TH} \times 2 + \Delta V$ と重みづけ電圧を含ませる。また、オペアンプの出力は反転増幅となるためデータ回路8からドレインバスライン2に出力される電圧データの状態を考慮してシフトレジスタ9aに入力されるDF波形を設定する。そして保護抵抗 $R_{31}, R_{32}, \dots, R_{3r}$ とドライバ部9cを介して $V_{com1}^{2'}$ を第1ゲートバスライン1-1に対応する対向電極に、 $V_{com2}^{2'}$ を第2ゲートバスライン1-2に対応する対向電極に $V_{comr}^{2'}$ を最終ゲートバスライン1-fに対応する対向電極にそれぞれ供給する。このため、図13の従来例で示した ΔV_2 は $\Delta V_2^{2'} = \{\Delta V / (V_{TH} \times 2 + \Delta V \times 2)\} \times \Delta V_2$ に減少し、また、ゲートバスライン1に供給される印加電圧の振幅も小さくできるため、第2実施例と同様 ΔV_1 は $\Delta V_1^{2'}$ に減少する。

【0031】ここで、対向電極に対する重みづけは、画素電極とドレインバスラインとの間の電界効果によって $\Delta V_2^{2'}$ が短いものほど電圧データの変動が小さくなるように設定し、 $\Delta V_2^{2'}$ の変動による液晶の電荷保持期間($T - t_{on}$)の画素電極と対向電極との間の平均印加電圧の変化を防いでいる。図11は本発明の第3実施例に係るTF-T-LCDの駆動方法のタイミングチャートである。

【0032】図11(1)に示す第1ゲートバスライン1-1の駆動波形においては、ドレインバスライン2から出力される電圧データの極性が変わった直後にゲートバスライン1に印加されるオン電圧 $V_{c(i)}^{2'}$ が供給

され、 $\Delta V_2^{2'}$ の発生する期間が無いため、TF-Tの寄生容量により発生する $\Delta V_1^{2'}$ の変動と極性及びオフセット電圧 V_{TH} を考慮して、コモン変動回路から対応する対向電極に対して、正極性の時 $V_{c(i)}^{2'} - \Delta V_1^{2'} - \Delta V - V_{TH}$ に、負極性の時 $V_{c(i)}^{2'} - \Delta V_1^{2'} - \Delta V - V_{TH}$ に設定された $\Delta V + V_{TH} \times 2$ の変動振幅を有する $V_{com1}^{2'}$ を出力する。これにより第1ゲートバスラインの画素電極電圧 $V_{s1}^{2'}$ との間で平均印加電圧 $\Delta V + V_{TH}$ を保持する。

【0033】また、図11(3)に示す最終ゲートバスラインの駆動波形においては、ドレインバスライン2から出力される電圧データの極性が変わる直前にゲートバスライン1に $V_{c(i)}^{2'}$ が供給され、走査ライン数をNで $T = N \times t_{on}$ とすると $T \times (N-1/N)$ の期間 $\Delta V_2^{2'}$ が発生するため、 $\Delta V_1^{2'}$ 、 $\Delta V_2^{2'}$ 、極性及び V_{TH} を考慮して、対応する対向電極に対して正極性の時、 $V_{c(i)}^{2'} - \Delta V_1^{2'} - \Delta V_2^{2'} - \Delta V - V_{TH}$ に、負極性の時、 $V_{c(i)}^{2'} - \Delta V_1^{2'} + \Delta V_2^{2'} - \Delta V - V_{TH}$ に設定された $\Delta V + V_{TH} \times 2 + \Delta V_2^{2'} \times 2$ の変動振幅を有する $V_{comr}^{2'}$ を出力する。これにより、最終ゲートバスラインの画素電極電圧 $V_{sr}^{2'}$ との間で平均印加電圧 $\Delta V + V_{TH}$ を保持する。

【0034】そして、図11(2)に示す第nゲートバスラインの駆動波形においては、 $T \times (n-1/N)$ の期間 $\Delta V_2^{2'}$ が発生するため、 $\Delta V_1^{2'}$ 、 $\Delta V_2^{2'}$ 、極性及び V_{TH} を考慮して、対応する対向電極に対して、正極性の時 $V_{c(i)}^{2'} - \{\Delta V_1^{2'} \times (N-n) + (\Delta V_1^{2'} + \Delta V_2^{2'}) \times (n-1) / N-1\} - \Delta V - V_{TH}$ に、負極性の時 $V_{c(i)}^{2'} - \{\Delta V_1^{2'} \times (N-n) + (\Delta V_1^{2'} + \Delta V_2^{2'}) \times (n-1) / N-1\} + \Delta V + V_{TH}$ に設定された $\Delta V + \{V_{TH} + \Delta V_2 \times (n-1) / N-1\} \times 2$ の変動振幅を有する $V_{comn}^{2'}$ を出力する。これにより、第nゲートバスラインの画素電極電圧 $V_{sn}^{2'}$ との間で平均印加電圧 $\Delta V + V_{TH}$ が保持される。

【0035】このように、本実施例においては、全ゲートバスラインにおけるオン状態の液晶セルに保持される平均印加電圧が一定になり、液晶セルの光透過率の相違が無くなり、かつ、データ回路により出力される電圧データの振幅が $V_{TH} \times 2 + \Delta V$ だけ小さくなくても、液晶セルに十分な印加電圧を供給できる。なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づき種々の変形が可能であり、それらを本発明の範囲から排除するものではない。

【0036】

【発明の効果】以上、詳細に説明したように、本発明によれば、対向電極をゲートバスラインと同数に分割し、かつ、分割された対向電極と対応するゲートバスラインに接続された画素電極と対向させて配置し、各ゲートバスライン毎に重みづけを行い、各ゲートバスラインに対

11

応する対向電極に各ゲートバスラインの選択周期に同期し、かつ、ドレインバスラインに供給される電圧データの極性反転により変動する画素電極の電圧を重みづけ電圧データとして供給するので、液晶セルの平均実効電圧の均一化とドレインバスラインとゲートバスラインのスイッチングドライバの低耐電圧化を達成することができる。

【0037】また、本発明によれば、対向電極をゲートバスラインと同数に分割し、かつ、分割された対向電極と対応するゲートバスラインに接続された画素電極と対向させて配置し、ドレインバスラインに正極性と負極性の電圧が互いに反転された電圧データを供給し、各対向電極に対応するゲートバスラインの選択周期に同期し、かつ、ドレインバスラインに供給される電圧の極性を示す電圧及び液晶のしきい値電圧 V_{TH} に相当するオフセット電圧を供給するので、液晶セルの平均実効電圧の均一化と、ゲートバスライン及びドレインバスラインのスイッチングドライバの低耐電圧化を達成することができる。

【0038】さらに、これらの駆動方法は、ドレインバスラインにアナログ電圧を入力した場合にも同等の効果が得られるので、TFT-LCDの階調駆動にも適用することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例におけるTFT-LCDの概略斜視図である。

【図2】本発明の第1実施例におけるTFT-LCDの概略ブロック図である。

【図3】本発明の第1実施例におけるコモン変動回路の概略ブロック図である。

【図4】本発明の第1実施例におけるコモン変動回路の*

12

*動作タイミングチャートである。

【図5】本発明の第1の実施例に係るTFT-LCDの駆動方法のタイミングチャートである。

【図6】本発明の第2実施例におけるコモン変動回路の動作タイミングチャートである。

【図7】本発明の第2の実施例に係るTFT-LCDの駆動方法のタイミングチャートである。

【図8】本発明の第3実施例におけるデータ回路の概略ブロック図である。

10 【図9】本発明の第3実施例におけるデータ回路の出力電圧波形図である。

【図10】本発明の第3実施例におけるコモン変動回路の動作タイミングチャートである。

【図11】本発明の第3実施例に係るTFT-LCDの駆動方法のタイミングチャートである。

【図12】従来のTFT-LCDの構成図である。

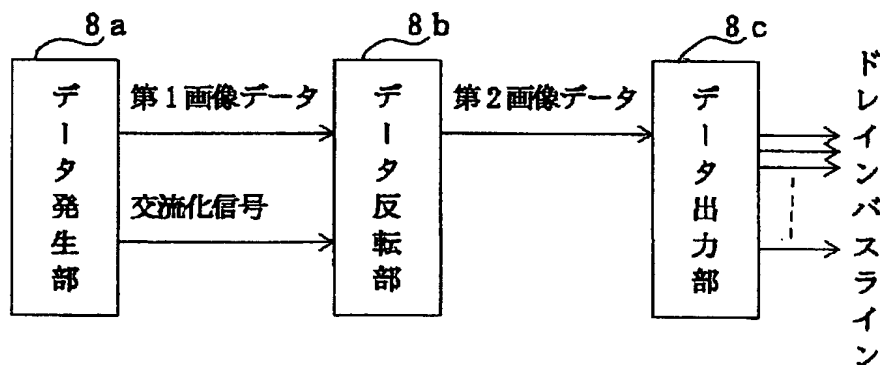
【図13】従来のTFT-LCDの駆動方法のタイミングチャートである。

20 【図14】従来のTN液晶セルの電気光学特性図である。

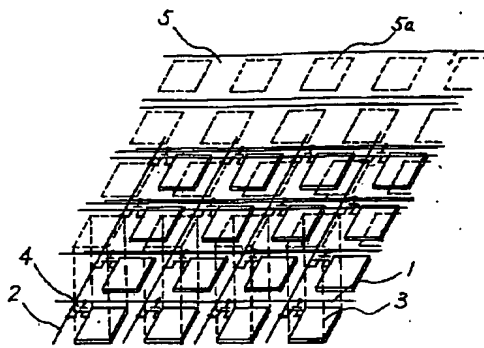
【符号の説明】

- 1 ゲートバスライン
- 2 ドレインバスライン
- 3 画素電極
- 4 TFT
- 5 対向電極
- 6 液晶
- 7 走査回路
- 8 データ回路
- 30 9 コモン変動回路

【図8】

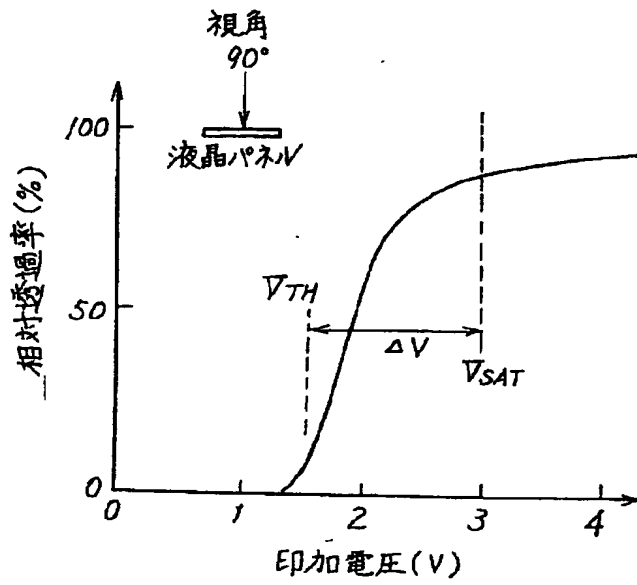


【図1】

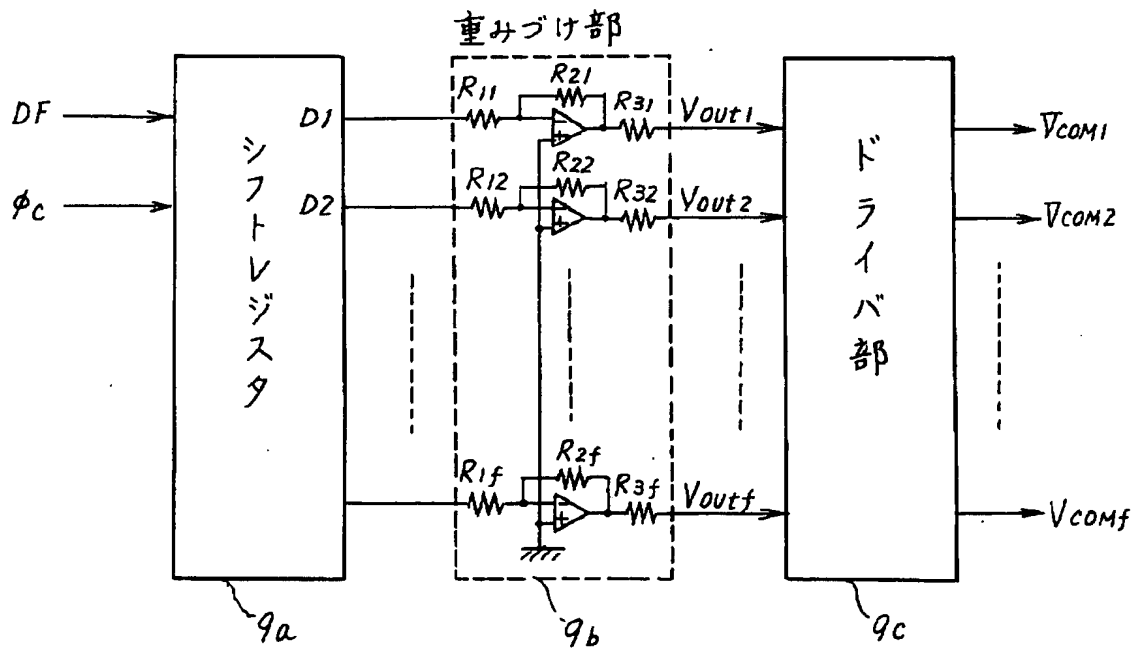


- 1 : ゲートバス
- 2 : ドレインバス
- 3 : 画素電極
- 4 : TFT
- 5 : 対向電極
- 5a : 画素電極と対向電極部分

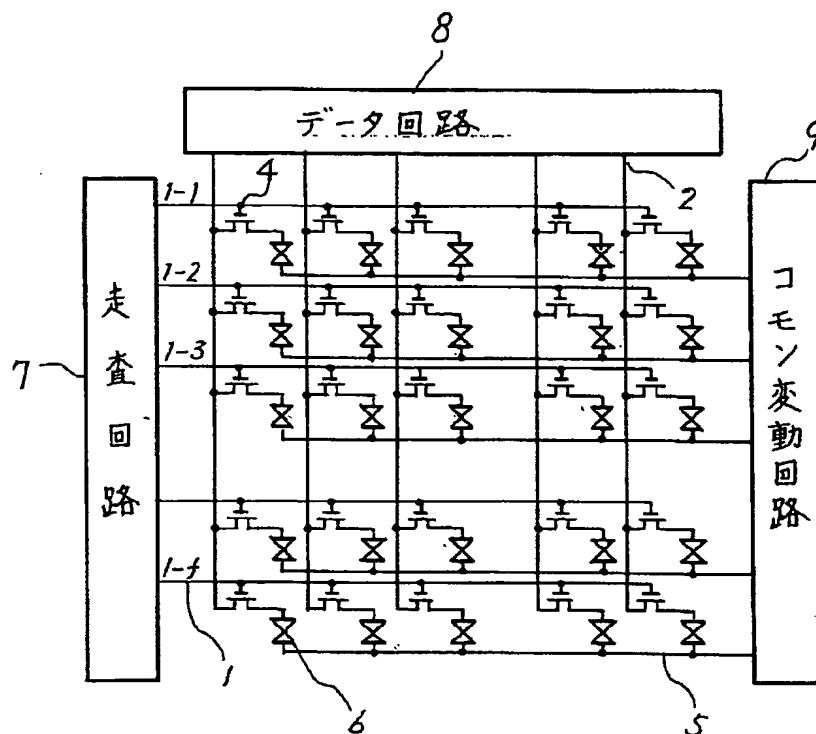
【図14】



【図3】

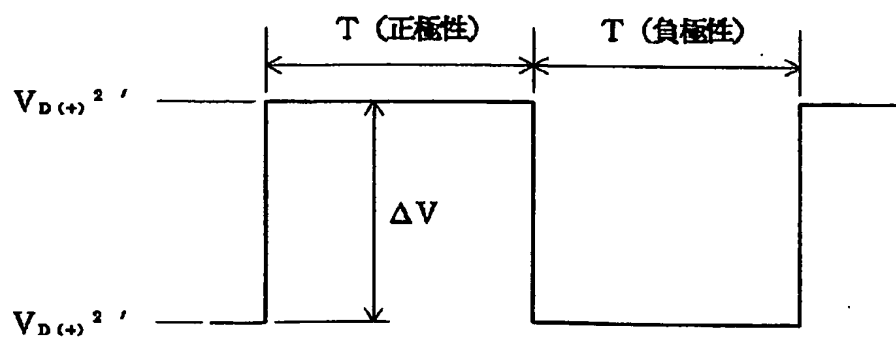


【図2】

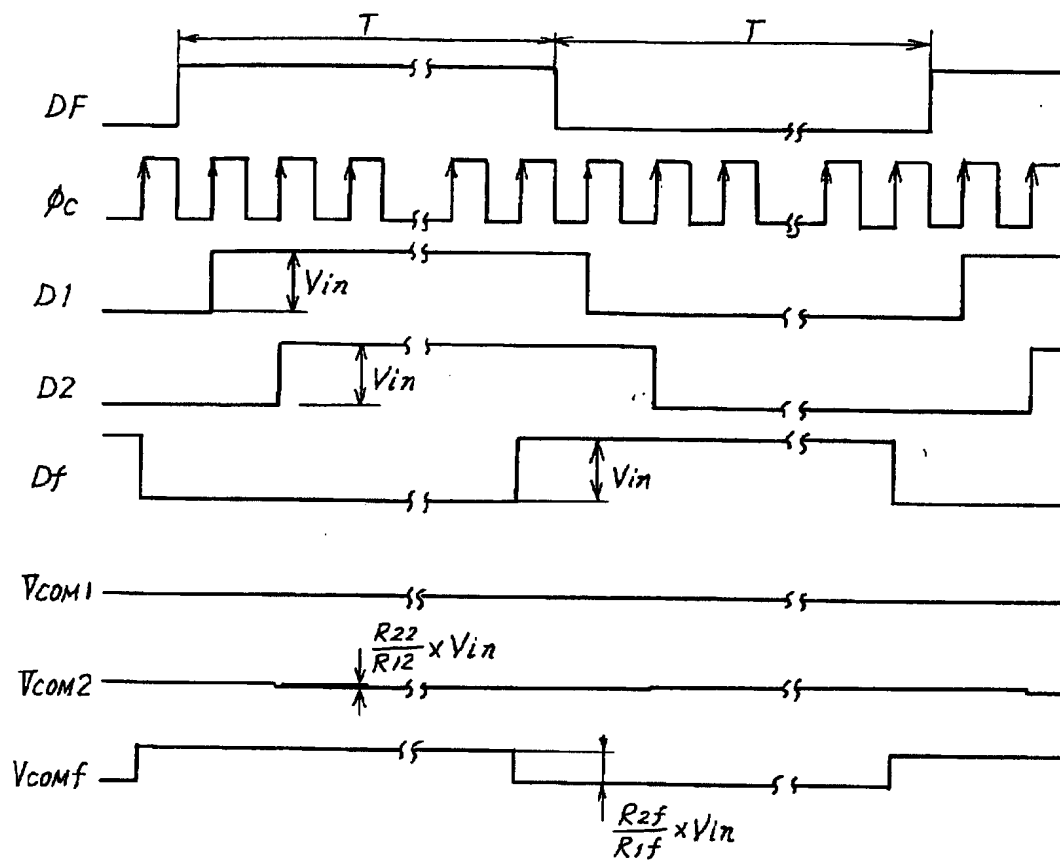


- 6 : 液晶
 7 : 走査回路
 8 : データ回路
 9 : コモン変動回路

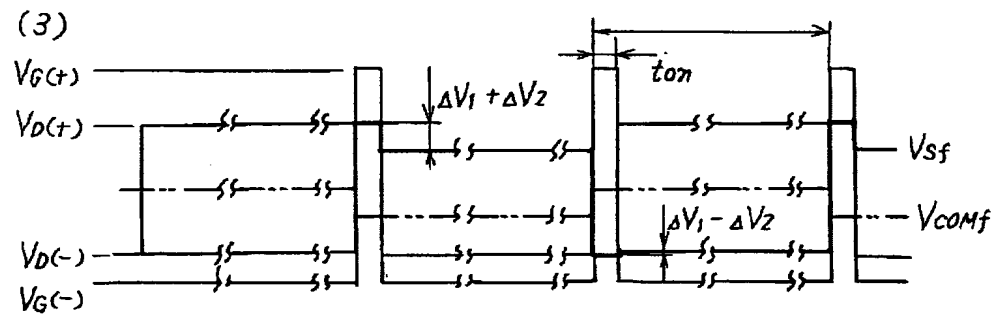
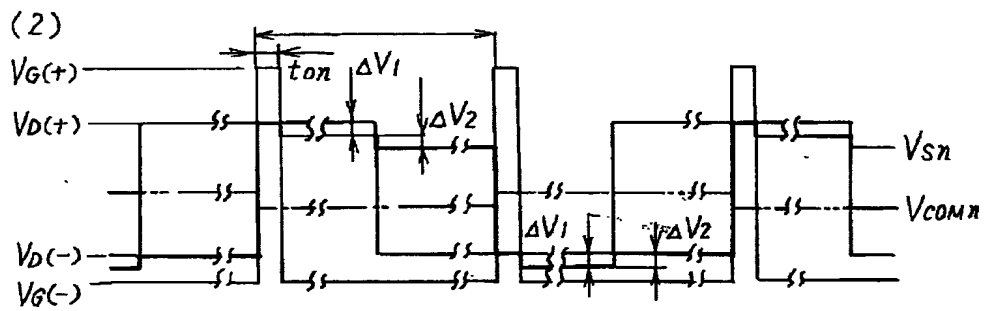
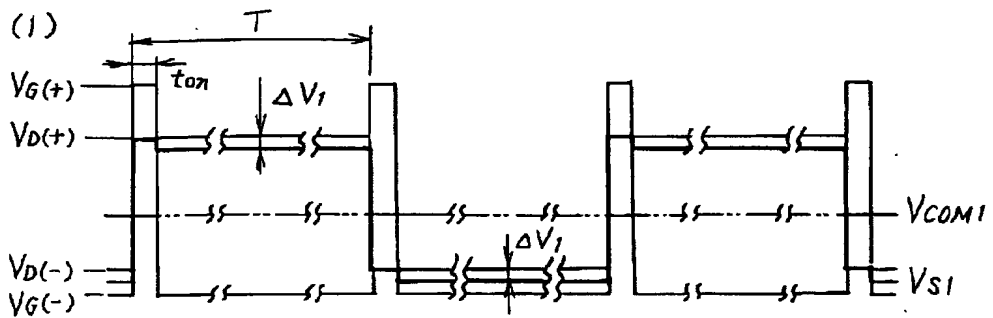
【図9】



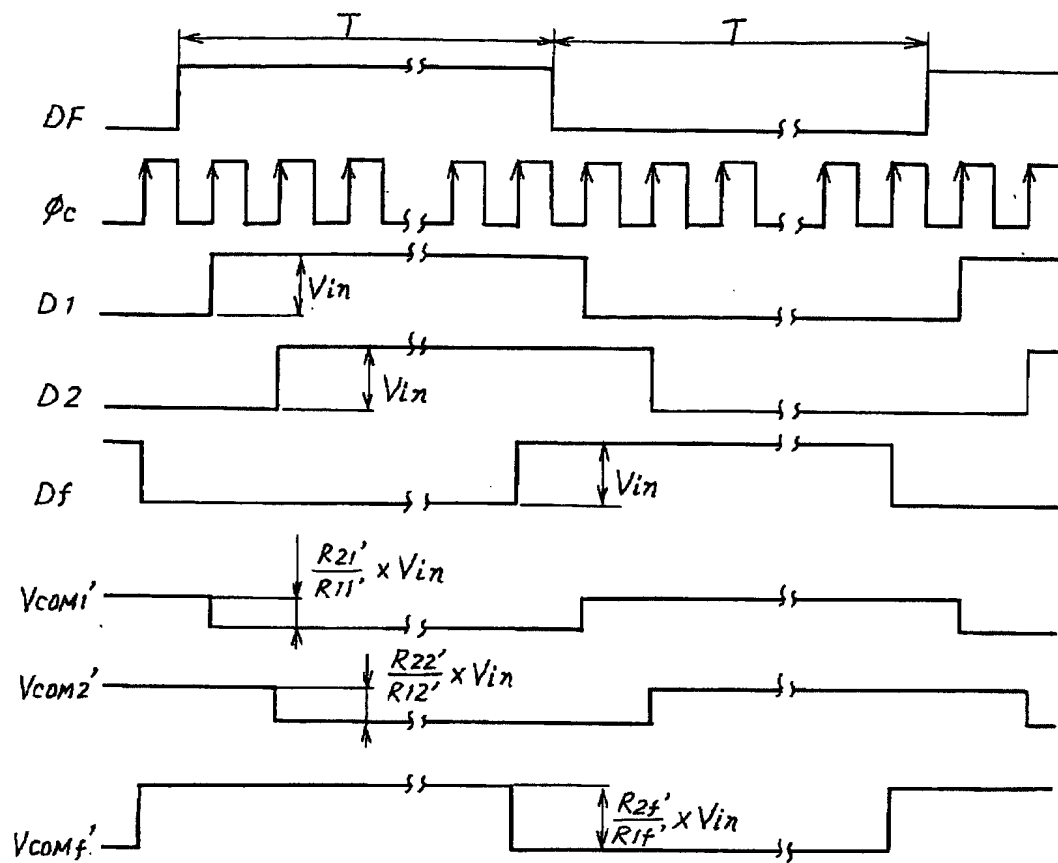
【図4】



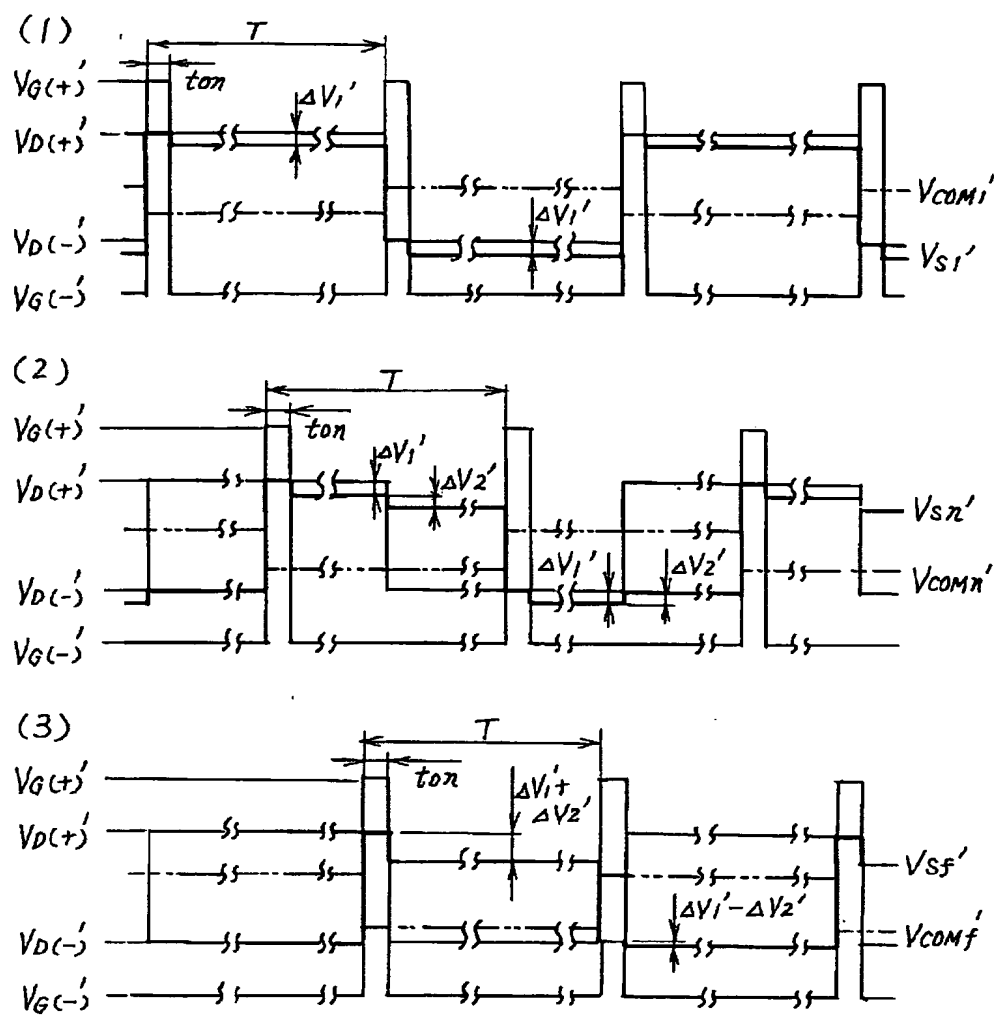
【図5】



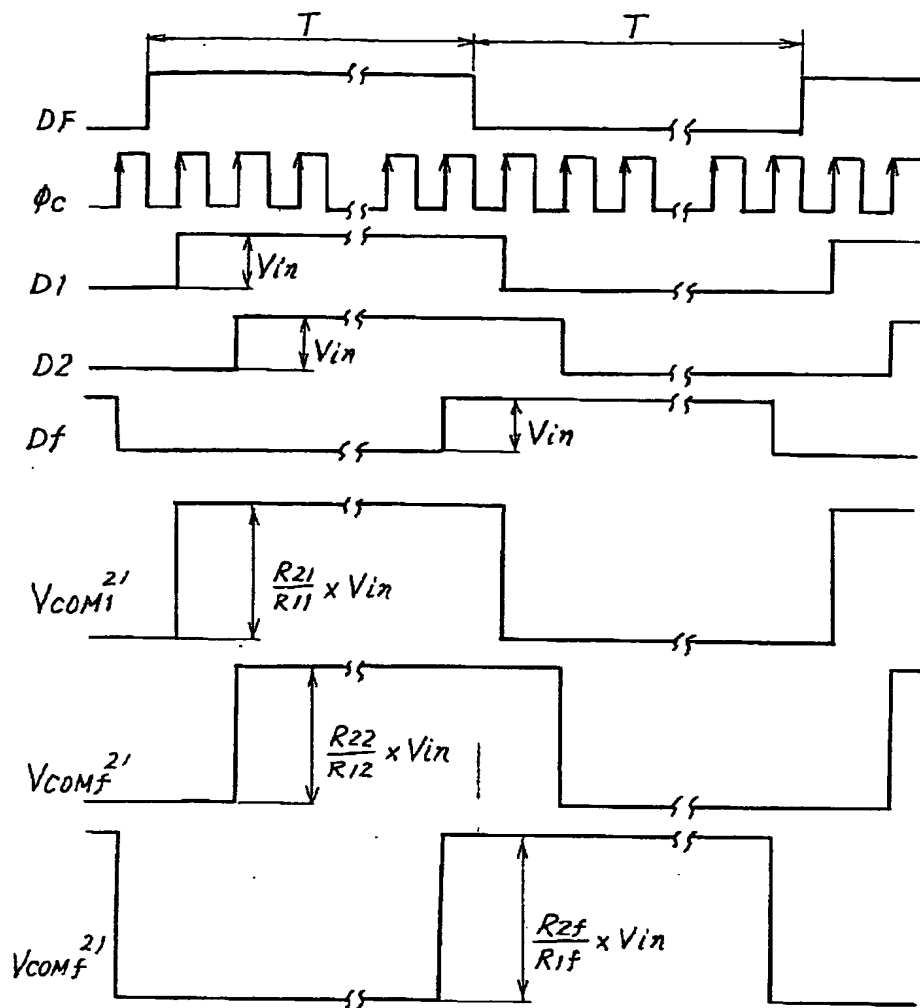
【図6】



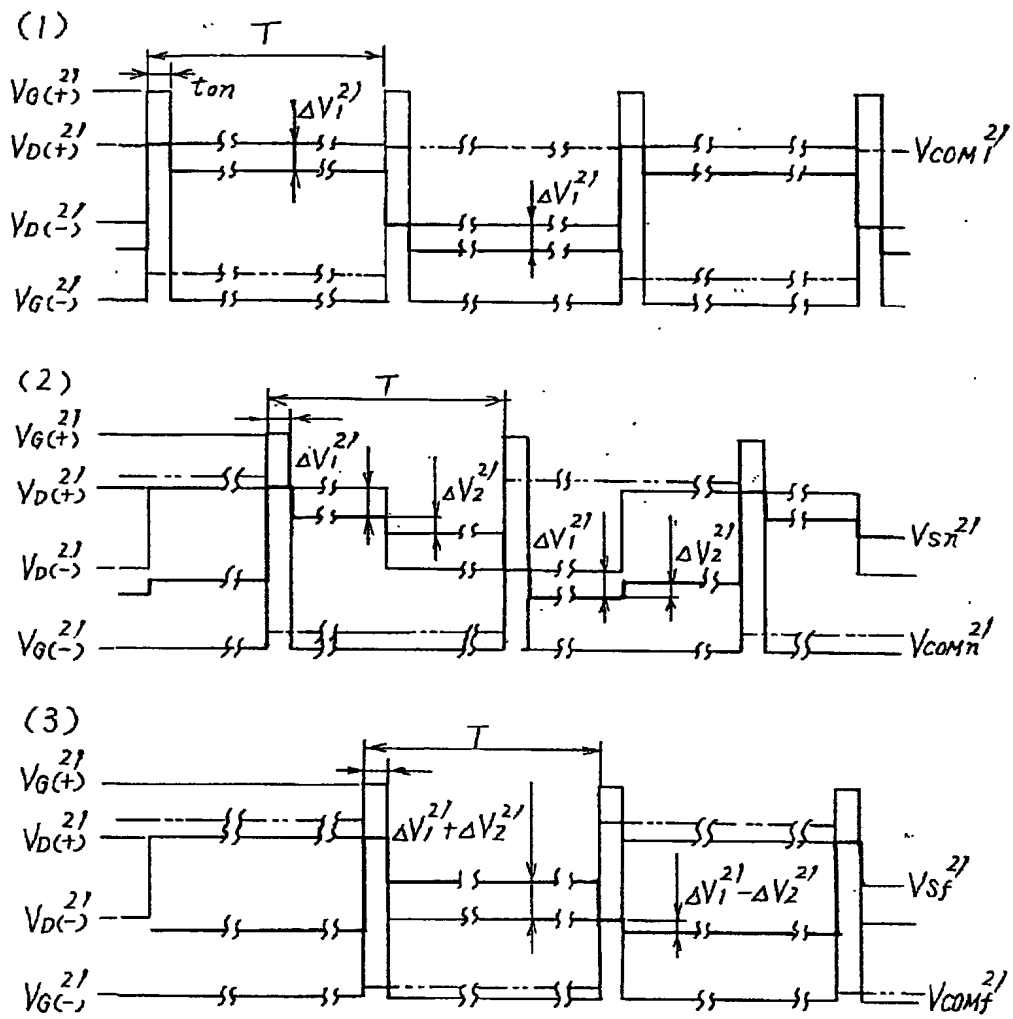
【図7】



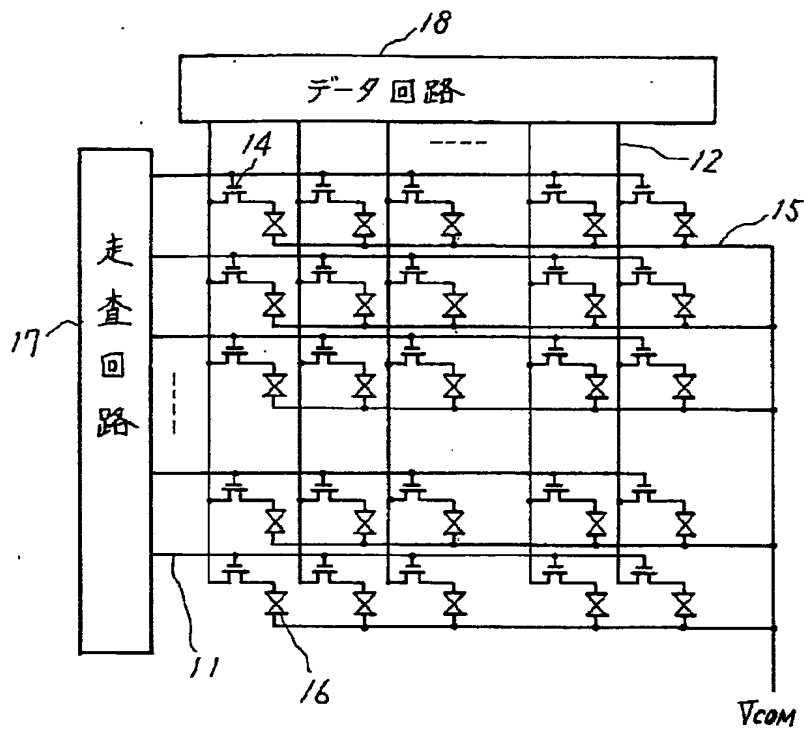
【図10】



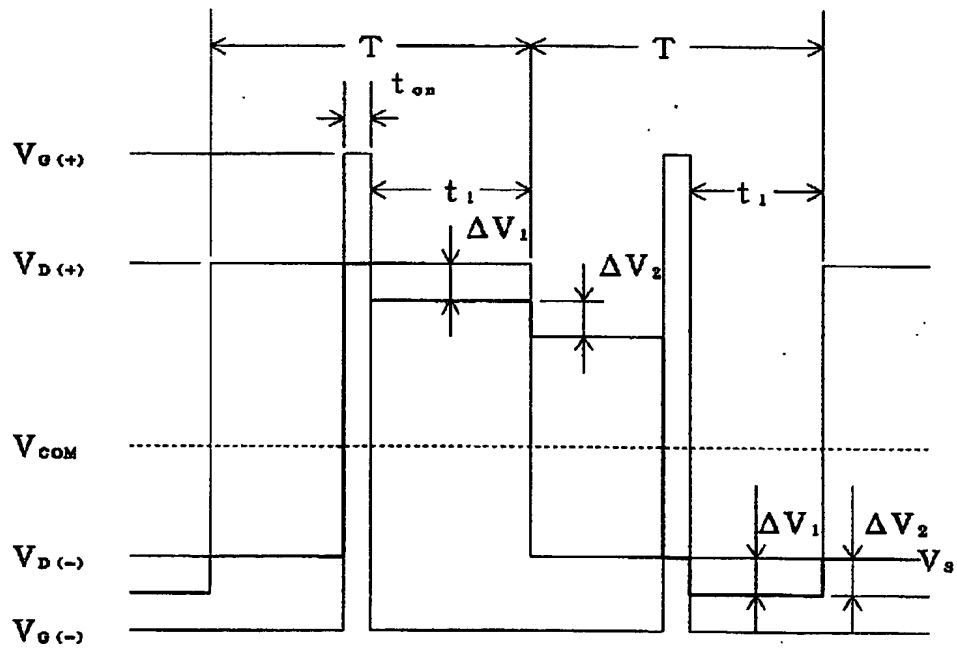
【図11】



【図12】



【図13】



フロントページの続き

(72)発明者 戸倉 和男

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72)発明者 高橋 敦

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72)発明者 中村 幸夫

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第2区分
 【発行日】平成8年(1996)5月31日

【公開番号】特開平5-27710
 【公開日】平成5年(1993)2月5日
 【年通号数】公開特許公報5-278
 【出願番号】特願平3-182611
 【国際特許分類第6版】

G09G 3/36 9378-5G
 G02F 1/133 520 7807-2K
 550 7807-2K

【手続補正書】

【提出日】平成7年2月23日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正内容】

【0023】しかし、本実施例においては、図6及び図7に示すように、図3のコモン変動回路9の重みづけ部9bに設けた任意のゲートバスラインに対応する対向電極に接続される1組の抵抗 R_{1n} と R_{2n} の比 R_{2n}/R_{1n} を重みづけ情報とオフセット電圧情報を考慮した条件に設定し、対向電極5に接続されるコモン変動回路9により、正極性、負極性のオフセット電圧 V_{TH} を付加しているため、ゲートバスライン1に接続される走査回路7のオン電圧 V_{G1n} とオフ電圧 V_{G1n} の電圧振幅を $V_{G1n} - V_{G1n} = V_{G1n} - V_{G1n} - V_{TH} \times 2$ に、ドレインバスライン2に接続されるデータ回路8の正極性のオン電圧 V_{D1n} と負極性のオン電圧 V_{D1n} の電圧振幅を $V_{D1n} - V_{D1n} = V_{D1n} - V_{D1n} - V_{TH} \times 2$ に減少させることができる。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正内容】

【0025】また、図7(3)に示す最終ゲートバスライン1-fの駆動波形においては、 $T \times (N-1/N)$ の期間 ΔV_1 が発生するため、 ΔV_1 、 ΔV_2 、 V_{TH} を考慮して、重みづけ部9bの抵抗 R_{1f} と R_{2f} を $(R_{2f}/R_{1f}) \times V_{1n} = (\Delta V_2 + V_{TH}) \times 2$ になるように設定して、ドライバ部9cから正極性の時($V_{D1f} + V_{D1f}$)/2 - ΔV_1 - ΔV_2 - V_{TH} に、負極性の時($V_{D1f} + V_{D1f}$)/2 - ΔV_1 + ΔV_2 + V_{TH} に設定された $(\Delta V_2 + V_{TH}) \times 2$ の変動を有する V_{COMf} を出力する。これにより、最終ゲートバスライン1-fの画素電極電圧 V_{Sf} との間で平均

印加電圧($V_{D1f} - V_{D1f}$)/2を保持する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正内容】

【0030】例えば、第1ゲートバスライン1-1に対応する対向電極においては、オペアンプの-入力に接続される抵抗 R_{11} と-入力及び出力に接続される抵抗 R_{21} の比 R_{21}/R_{11} がオペアンプの-入力に R_{11} を介して入力される電圧振幅 V_{1n} とオペアンプの出力電圧振幅 V_{OUT1} の比 V_{OUT1}/V_{1n} に等しくなるため、 $V_{OUT1} = (R_{21}/R_{11}) \times V_{1n}$ が成立し、第1ゲートバスラインの条件に合わせた電圧増幅率 R_{21}/R_{11} を選定し、同様に第2ゲートバスラインに対応する対向電極においてはその条件に合わせて電圧増幅率 R_{22}/R_{12} を、最終ゲートバスラインに対応する対向電極においては電圧増幅率 R_{2f}/R_{1f} を選定し、その電圧振幅に $V_{TH} \times 2 + \Delta V$ + 重みづけ電圧を含ませる。また、オペアンプの出力は反転増幅となるためデータ回路8からドレインバスライン2に出力される電圧データの状態を考慮してシフトレジスタ9aに入力されるDF波形を設定する。そして保護抵抗 R_{31} 、 $R_{32} \dots R_{3f}$ とドライバ部9cを介して $V_{COM1}^{2'}$ を第1ゲートバスライン1-1に対応する対向電極に、 $V_{COM2}^{2'}$ を第2ゲートバスライン1-2に対応する対向電極に $V_{COMf}^{2'}$ を最終ゲートバスライン1-fに対応する対向電極にそれぞれ供給する。このため、図13の従来例で示した ΔV_2 は $\Delta V_2^{2'} = \{\Delta V / (V_{TH} \times 2 + \Delta V \times 2)\} \times \Delta V_2$ に減少し、また、ゲートバスライン1に供給される印加電圧の振幅も小さくできるため、第2実施例と同様 ΔV_1 は $\Delta V_1^{2'}$ に減少する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正内容】

【0032】図11(1)に示す第1ゲートバスライン1-1の駆動波形においては、ドレインバスライン2から出力される電圧データの極性が変わった直後にゲートバスライン1に印加されるオン電圧 $V_{o(c)}^{2'}$ が供給され、 $\Delta V_2^{2'}$ の発生する期間が無い場合、TFTの寄生容量により発生する $\Delta V_1^{2'}$ の変動と極性及びオフセット電圧 V_{TH} を考慮して、コモン変動回路から対応する対向電極に対して、正極性の時 $V_{o(c)}^{2'} - \Delta V_1^{2'} - \Delta V - V_{TH}$ に、負極性の時 $V_{o(c)}^{2'} - \Delta V_1^{2'} + \Delta V + V_{TH}$ に設定された $\Delta V + V_{TH} \times 2$ の変動振幅を有する $V_{com1}^{2'}$ を出力する。これにより第1ゲートバスラインの画素電極電圧 $V_{s1}^{2'}$ との間で平均印加電圧 $\Delta V + V_{TH}$ を保持する。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正内容】

*【0033】また、図11(3)に示す最終ゲートバスラインの駆動波形においては、ドレインバスライン2から出力される電圧データの極性が変わる直前にゲートバスライン1に $V_{o(c)}^{2'}$ が供給され、走査ライン数をNで $T = N \times t_{on}$ とすると $T \times (N-1/N)$ の期間 $\Delta V_2^{2'}$ が発生するため、 $\Delta V_1^{2'}$ 、 $\Delta V_2^{2'}$ 、極性及び V_{TH} を考慮して、対応する対向電極に対して正極性の時、 $V_{o(c)}^{2'} - \Delta V_1^{2'} - \Delta V_2^{2'} - \Delta V - V_{TH}$ に、負極性の時、 $V_{o(c)}^{2'} - \Delta V_1^{2'} + \Delta V_2^{2'} + \Delta V + V_{TH}$ に設定された $\Delta V + V_{TH} \times 2 + \Delta V_2^{2'} \times 2$ の変動振幅を有する $V_{comf}^{2'}$ を出力する。これにより、最終ゲートバスラインの画素電極電圧 $V_{sf}^{2'}$ との間で平均印加電圧 $\Delta V + V_{TH}$ を保持する。

【手続補正6】

【補正対象書類名】図面

【補正対象項目名】図3

【補正方法】変更

【補正内容】

*【図3】

